

Rec'd PCT/PTO 25 FEB 2005
PCT/JP 03/11057

10/526009

06.10.03

日本国特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月17日

出願番号

Application Number:

特願2002-365337

[ST.10/C]:

[JP2002-365337]

出願人

Applicant(s):

シャープ株式会社

REC'D 23 OCT 2003

WIPO

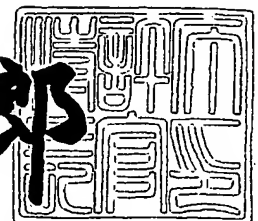
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 6月17日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



Best Available Copy

出証番号 出証特2003-3047290

【書類名】 特許願

【受理番号】 02J03808

【提出日】 平成14年12月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/136 500
B41J 2/01

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 藤井 暁義

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 中林 敬哉

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 越智 久雄

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 原 猛

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【先の出願に基づく優先権主張】

【出願番号】 特願2002-255538

【出願日】 平成14年 8月30日

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 T F T アレイ基板、液晶表示装置、T F T アレイ基板の製造方法および液晶表示装置の製造方法。

【特許請求の範囲】

【請求項 1】

基板上にゲート電極が形成され、このゲート電極の上にゲート絶縁膜を介して半導体層が形成された薄膜トランジスタ部を備えている T F T アレイ基板において、

前記半導体層が液滴の滴下形状をなしていることを特徴とする T F T アレイ基板。

【請求項 2】

前記薄膜トランジスタ部のゲート電極は、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出していることを特徴とする請求項 1 に記載の T F T アレイ基板。

【請求項 3】

前記分岐電極の、前記半導体層の領域から突出している部分の幅が、該半導体層の領域内の部分の幅よりも小さいことを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 4】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、

前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成されていることを特徴とする請求項 2 に記載の T F T アレイ基板。

【請求項 5】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、

前記分岐電極の、前記半導体層の領域から突出している部分は、

前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、

前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式 (1)、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成されていることを特徴とする請求項 2 記載の T F T アレイ基板。

【請求項 6】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、

前記分岐電極の、前記半導体層の領域から突出している部分は、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、

前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式 (2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成されていることを特徴とする請求項 2 記載の T F T アレイ基板。

【請求項 7】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置していることを特徴とする請求項 1 に記載の T F T アレイ基板。

【請求項 8】

少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されていることを特徴とする請求項 1 に記載の T F T アレイ基板。

【請求項 9】

前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、

前記半導体層は、

前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、

前記チャンネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式 (3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成されていることを特徴とする請求項 1 記載の T F T アレイ基板。

【請求項 1 0】

請求項 1 に記載の T F T アレイ基板を備えていることを特徴とする液晶表示装置。

【請求項 1 1】

基板上にゲート電極を形成する工程と、

前記ゲート電極の上にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上に半導体膜を成膜する工程と、

前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、

前記レジスト層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えていることを特徴とする T F T アレイ基板の製造方法。

【請求項 1 2】

基板上にゲート電極を形成する工程と、

前記ゲート電極の上にゲート絶縁層を形成する工程と、

前記分岐電極上における前記ゲート絶縁層の上に半導体材料の液滴を滴下し、

薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えていることを特徴とする T F T アレイ基板の製造方法。

【請求項 1 3】

ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極形成し、前記分岐電極における開放端が前記半導体層の領域から突出していることを特徴とする請求項 1 1 または 1 2 に記載の T F T アレイ基板の製造方法。

【請求項 1 4】

前記分岐電極は、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されていることを特徴とする請求項 1 3 に記載の T F T アレイ基板の製造方法。

【請求項 1 5】

前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成することを特徴とする請求項 1 3 に記載の T F T アレイ基板の製造方法。

【請求項 1 6】

前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成することを特徴とする請求項 1 3 に記載の T F T アレイ基板の製造方法。

【請求項 1 7】

前記ゲート電極を形成する工程において、
前記分岐電極の、前記半導体層の領域から突出している部分を、
前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、

前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、
以下の関係式 (1)、

$$L3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成することを特徴とする請求項13に記載のTFTアレ基板の製造方法。

【請求項18】

前記ゲート電極を形成する工程において、

前記分岐電極の、前記半導体層の領域から突出している部分を、

該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、

前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L2$ としたとき、以下の関係式(2)

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成することを特徴とする請求項13に記載のTFTアレ基板の製造方法。

【請求項19】

前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、

前記レジスト層を、

前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、

該レジスト層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、

該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、

前記チャネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成することを特徴とする請求項11または12に記載のTFTアレ基板の製造方法。

【請求項 2 0】

基板上にゲート電極を形成する工程と、

前記ゲート電極の上にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、

前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第 1 の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第 2 の領域を形成する前処理工程と、

前記前処理工程を経た基板に対し、第 1 の領域と第 2 の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えていることを特徴とする T F T アレイ基板の製造方法。

【請求項 2 1】

第 1 の領域および第 2 の領域を前記液滴の流出を阻止する凸状のガイドにより形成することを特徴とする請求項 2 0 に記載の T F T アレイ基板の製造方法。

【請求項 2 2】

第 1 の領域および第 2 の領域の形成を前記液滴に対する親液領域と撥液領域とを形成することにより行うことを特徴とする請求項 2 0 に記載の T F T アレイ基板の製造方法。

【請求項 2 3】

請求項 1 1、1 2 または 2 0 の何れか 1 項に記載の T F T アレイ基板の製造方法を含んでいることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、T F T アレイ基板、液晶表示装置、T F T アレイ基板の製造方法および液晶表示装置の製造方法に関するものである。

【0 0 0 2】

【従来の技術】

従来、T F T (Thin Film Transistor) を備えた液晶表示装置において、T F T アレイ基板は、図 2 8 に示す一連の工程により製造されている。即ち、従来の

TFTアレイ基板の製造工程は、ゲート線成膜、ゲート配線形成、ゲート絶縁層成膜・半導体層成膜、半導体層形成、ソース・ドレイン配線成膜、ソース・ドレイン配線形成、チャンネル部加工、保護膜形成、保護膜加工、画素電極成膜および画素電極形成の各工程（101～111）からなる。

【0003】

上記のゲート配線形成工程102、半導体層形成工程104、ソース・ドレイン配線形成工程106、保護膜加工工程109および画素電極形成工程111の5つの工程では、マスクを使用したフォトリソグラフィ工程およびエッチング工程を含んでいる。即ち、これら工程では、これら工程の前段の工程であるゲート線成膜工程101、ゲート絶縁層成膜・半導体層成膜工程103、ソース・ドレイン配線成膜工程105、保護膜形成工程108、画素電極成膜工程110において形成された膜をマスクを使用したフォトリソグラフィ工程およびエッチング工程によって加工している。

【0004】

一方、近年においては、フォトリソグラフィを使用せず、インクジェット方式により配線を形成する技術が提案されている。この技術では、例えば特許文献1（特開平11-204529号公報）に開示されているように、配線を形成する基板上に、配線形成材料に対する親和領域と非親和領域とを形成し、親和領域にインクジェット方式にて配線材料の液滴を滴下することにより配線を形成するものとなっている。

【0005】

また、特許文献2（特開2000-353594号公報）には、同様にインクジェット方式による配線形成技術において、配線形成領域からの配線材料のはみ出しを抑制するために、配線形成領域の両側にバンクを形成し、このバンクの上部を非親液性とし、配線形成領域を親液性とすることが開示されている。

【0006】

また、非特許文献1（SID 01 DIGEST の第40～第43頁、6.1: Invited Paper: All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing（著者 Takeo kawase 他））には、インクジェット方式を使用し

、全て有機物を材料としてTFTを形成する技術が開示されている。

【0007】

【特許文献1】

特開平11-204529号公報（1999年7月30日公開）

【0008】

【特許文献2】

特開2000-353594号公報（2000年12月19日公開）

【0009】

【非特許文献1】

SID 01 DIGEST の第40～第43頁、6.1: Invited Paper: All-Polymer Thin Film Transistors Fabricated by High-Resolution Ink-jet Printing

（著者 Takeo kawase 他）、2001年

【0010】

【発明が解決しようとする課題】

従来のフォトリソグラフィを使用したTFTアレイ基板の製造方法では、上記のように、ゲート配線形成工程102、半導体層形成工程104、ソース・ドレイン配線形成工程106、保護膜加工工程109および画素電極形成工程111の少なくとも5つの工程においてマスクが必要となる。また、各成膜工程に使用される成膜装置および成膜の加工（形成・加工工程）に使用される加工装置は全て真空装置を使用している。したがって、近年さらなる大型化が要望されている液晶表示装置の大型基板にTFTを形成するには莫大な設備費が必要となる。

【0011】

また、基板の大型化に伴って、レジスト、配線材料の使用量が増加している。一方、配線の形成などの加工においては、レジストを始めとして各材料はエッチングや剥離工程によって殆どが除去、廃棄されており、有効利用が図られていない。このため、廃棄処理や廃棄費用も基板の大型化によって大幅に増加しており、さらに廃棄物によって環境負荷が大きくなっている。このように、主としてフォトリソグラフィを多数含むTFTアレイ基板の製造方法は、製造工数増およびコストアップを招来するものとなっている。

【 0 0 1 2 】

一方、例えば上記の従来文献に開示されているインクジェット方式利用すれば、T F T アレイ基板の上記製造工程において、必要なマスク数を減少させることができる。そこで、例えばインクジェット方式を利用し、製造工数の低減およびコストダウンが可能な技術の開発が求められていた。

【 0 0 1 3 】

【課題を解決するための手段】

上記の課題を解決するために、本発明のT F T アレイ基板は、基板上にゲート電極が形成され、このゲート電極上に、ゲート絶縁膜を介して半導体層が形成された薄膜トランジスタ部を備えているT F T アレイ基板において、前記半導体層が液滴の滴下形状をなしていることを特徴としている。

【 0 0 1 4 】

上記の構成によれば、半導体層が液滴の滴下形状（例えばほぼ円形や円をずらしながら重ね合わせたような形状等）をなしているので、半導体層をインクジェット方式を利用した半導体材料の液滴の例えば1滴の滴下により形成することが可能となる。あるいは、インクジェット方式を利用し、例えばレジスト材料の液滴の例えば1滴を半導体成膜の上に滴下してレジスト層を形成し、このレジスト層をマスクとして半導体成膜を加工し、半導体層を形成することが可能となる。

【 0 0 1 5 】

このような方式によれば、T F T アレイ基板の製造において、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

【 0 0 1 6 】

なお、半導体材料やレジスト材料の滴下には、上記インクジェット方式に限らず、材料の液滴の滴下により半導体層やレジスト層を直接形成可能な方式であれば使用可能である。

【 0 0 1 7 】

上記の T F T アレイ基板は、前記薄膜トランジスタ部のゲート電極が、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【 0 0 1 8 】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【 0 0 1 9 】

上記のように、ゲート電極の分岐電極が、半導体層の領域から開放端が突出するように形成すれば、透過型液晶表示装置のように T F T アレイ基板の画素部が透明な場合、突出した開放端が画素部にかかり開口率を低下させる虞がある。なお、反射型液晶表示装置に適用される T F T アレイ基板の場合には、上記のような開口率の問題を考慮する必要はないので、分岐電極の設計の自由度が増す。

【 0 0 2 0 】

そこで、本発明の T F T アレイ基板は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成した構成としてもよい。

【 0 0 2 1 】

上記の構成によれば、画素部にかかる分極電極の開放端が該画素部に占める割合が小さくなり、開口率の低下を抑制できる。

【 0 0 2 2 】

また、本発明の T F T アレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成された構成としてもよい。

【 0 0 2 3 】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分

を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、TFTアレイ基板の画素部内で、開口率を低下させることなく、該分極電極の開放端の突出部分を延ばして形成することができる。

【0024】

これにより、半導体層の領域から分極電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【0025】

この結果、薄膜トランジスタの特性を向上させることが可能となる。

【0026】

また、前記分岐電極の、前記半導体層の領域から突出している部分は、以下のようにして規定することが考えられる。

【0027】

すなわち、本発明のTFTアレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式(1)、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成した構成としてもよい。

【0028】

また、本発明のTFTアレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を L

2としたとき、以下の関係式(2)、

$$L2 > \Delta 1 + 2\Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成した構成としてもよい。

【0029】

上記のTFTアレイ基板は、前記半導体層の上にソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置している構成としてもよい。

【0030】

上記の構成によれば、各画素のソース電極において十分なON電流を得ることができるので、各画素の充電状態が不均一となって画像斑が生じる事態を防止することができる。

【0031】

上記のTFTアレイ基板は、少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されている構成としてもよい。

【0032】

上記の構成によれば、遮光膜は必要に応じて形成されるものの、遮光膜が必要な場合には、前記半導体層の形成の場合と同様、マスクを使用することなく、遮光膜を例えばインクジェット方式を利用した遮光膜材料の液滴の例えば1滴の滴下により容易に形成することが可能となる。これにより、TFTアレイ基板の製造工程において、マスクや大幅な材料追加を伴うことなく形成することが可能なため、製造工数の低減およびコストダウンが可能となる。

【0033】

また、本発明のTFTアレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記半導体層は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、

前記チャネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式
(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成した構成としてもよい。

【0034】

上記の構成によれば、薄膜トランジスタ部のチャネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0035】

本発明の液晶表示装置は、上記のTFTアレ基板を備えていることを特徴としている。したがって、液晶表示装置の製造工程において、必要なマスク数が減少する結果、製造時間の短縮およびコストダウンが可能となる。

【0036】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、前記レジスト層の形状に前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えていることを特徴としている。

【0037】

上記の構成によれば、成膜された半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）のレジスト層を形成し、このレジスト層をマスクとして半導体層を形成することができる。

【0038】

このようなTFTアレ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能

となる。

【 0 0 3 9 】

なお、レジスト材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下によりレジスト層を直接形成可能な方式であれば使用可能である。

【 0 0 4 0 】

本発明の T F T アレイ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体材料の液滴を滴下し、薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えていることを特徴としている。

【 0 0 4 1 】

上記の構成によれば、分岐電極上におけるゲート絶縁層の上に半導体材料の液滴を滴下することのみにより、液滴の滴下形状（通常はほぼ円形）の半導体層を形成することができる。

【 0 0 4 2 】

このような T F T アレイ基板の製造方法によれば、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウン並びに材料の有効利用が可能となる。

【 0 0 4 3 】

なお、半導体材料の滴下には、インクジェット方式に限らず、材料の液滴の滴下により半導体層を直接形成可能な方式であれば使用可能である。

【 0 0 4 4 】

上記の T F T アレイ基板の製造方法は、ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極形成し、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【 0 0 4 5 】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は

、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【0046】

上記のTFTアレイ基板の製造方法は、前記分岐電極が、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されている構成としてもよい。

【0047】

上記の構成によれば、レジスト材料の液滴あるいは半導体材料の液滴を、最終的に形成される半導体層の領域から分岐電極の開放端が確実に突出する位置に滴下させることが可能となる。この結果、ソース・ドレイン電極間のリーク電流を適切に抑制可能となる。

【0048】

本発明のTFTアレイ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくするように設定する構成としてもよい。

【0049】

上記の構成によれば、画素部にかかる分極電極の開放端が該画素部に占める割合を小さくできるので、開口率の低下を抑制できる。

【0050】

本発明のTFTアレイ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成する構成としてもよい。

【0051】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、TFTアレイ基板の画素部内で、開口率を低下させることなく、該分極電極の開放端の突出部分を延ばして形成することができる。

【0052】

これにより、半導体層の領域から分極電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【 0 0 5 3 】

本発明の T F T アレイ基板の製造方法は、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式 (1)、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成する構成としてもよい。

【 0 0 5 4 】

また、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式 (2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成する構成としてもよい。

【 0 0 5 5 】

何れの構成であっても、半導体層の領域から分極電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【 0 0 5 6 】

また、本発明の T F T アレイ基板の製造方法は、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、

前記レジスト層を、前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりのバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記チャネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式 (3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成する構成としてもよい。

【0057】

上記の構成によれば、薄膜トランジスタ部のチャネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0058】

本発明の TFT アレイ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第 1 の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第 2 の領域を形成する前処理工程と、前記前処理工程を経た基板に対し、第 1 の領域と第 2 の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えていることを特徴としている。

【0059】

上記の構成によれば、電極形成工程に対する 1 つの前処理工程において、電極材料の液滴の滴下によりソース電極を形成するための第 1 の領域と電極材料の液滴の滴下により少なくとも画素電極を形成するための第 2 の領域とを形成するので、第 1 の領域と第 2 の領域とを別々の工程にて形成する場合と比較して、製造工数を削減し、コストダウンが可能となる。

【0060】

上記の TFT アレイ基板の製造方法において、第 1 の領域および第 2 の領域は

前記液滴の流出を阻止する凸状のガイドにより形成する構成としてもよい。あるいは、前記液滴に対する親液領域と撥液領域とにより形成する構成としてもよい。

【 0 0 6 1 】

本発明の液晶表示装置の製造方法は、上記の何れかの T F T アレイ基板の製造方法を含んでいることを特徴としている。したがって、少なくとも、液晶表示装置の製造工数を削減することができる。

【 0 0 6 2 】

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態を図 1 ないし図 1 3 に基づいて以下に説明する。

本発明の実施の一形態における液晶表示装置は、図 1 (a) に示す画素を有している。なお、同図は、液晶表示装置の T F T アレイ基板における 1 画素の概略構成を示す平面図である。また、同図における A - A 線矢視断面図を図 1 (b) に示す。

【 0 0 6 3 】

図 1 (a) (b) に示すように、 T F T アレイ基板 1 1 では、ガラス基板 1 2 上において、ゲート電極 1 3 とソース電極 1 7 とがマトリクス状に設けられ、隣り合うゲート電極 1 3 の間に補助容量電極 1 4 が設けられている。

【 0 0 6 4 】

T F T アレイ基板 1 1 は、図 1 (b) に示すように、 T F T 部 2 2 から補助容量部 2 3 までの位置において、ガラス基板 1 2 上に、ゲート電極 1 3 および補助容量電極 1 4 を有し、それらの上にゲート絶縁層 1 5 を有している。

【 0 0 6 5 】

ゲート電極 1 3 上には上記ゲート絶縁層 1 5 を介して a - S i 層を有する半導体層 1 6 がほぼ円形に形成され、その上にソース電極 1 7 およびドレイン電極 1 8 が形成されている。このドレイン電極 1 8 の他端部は、ゲート絶縁層 1 5 を介した補助容量電極 1 4 上の位置に達し、この位置にコンタクトホール 2 4 が形成されている。ソース電極 1 7 およびドレイン電極 1 8 の上には保護膜 1 9 が形成

され、その上に感光性アクリル樹脂層 2 0 と画素電極 2 1 とが順次形成されている。

【 0 0 6 6 】

本実施の形態において、T F T アレイ基板 1 1 の製造には、例えば、インクジェット方式により、形成する層の材料を吐出あるいは滴下するパターン形成装置が使用される。このパターン形成装置は、図 2 に示すように、基板 3 1 （前記ガラス基板 1 2 に相当）を載置する載置台 3 2 を備え、この載置台 3 2 上の基板 3 1 上に対して例えば配線材料を含む流動性のインク（液滴）を吐出する液滴吐出手段としてのインクジェットヘッド 3 3 と、インクジェットヘッド 3 3 を X 方向に移動させる X 方向駆動部 3 4 および Y 方向に移動させる Y 方向駆動部 3 5 とが設けられている。

【 0 0 6 7 】

また、上記パターン形成装置には、インクジェットヘッド 3 3 にインクを供給するインク供給システム 3 6 と、インクジェットヘッド 3 3 の吐出制御、X 方向駆動部 3 4 および Y 方向駆動部 3 5 の駆動制御等の各種制御を行なうコントロールユニット 3 7 とが設けられている。コントロールユニット 3 7 からは、X および Y 方向駆動部 3 4, 3 5 に対して塗布位置情報が出力され、インクジェットヘッド 3 3 のヘッドドライバー（図示せず）に対して吐出情報が出力される。これにより、X および Y 方向駆動部 3 4, 3 5 に連動してインクジェットヘッド 3 3 が動作し、基板 3 1 上の目的位置に目的量の液滴が供給される。

【 0 0 6 8 】

上記のインクジェットヘッド 3 3 は、ピエゾアクチュエータを使用するピエゾ方式のもの、ヘッド内にヒータを有するバブル方式のもの、あるいはその他の方式のものであってもよい。インクジェットヘッド 3 3 からのインク吐出量の制御は、印加電圧の制御により可能である。また、液滴吐出手段は、インクジェットヘッド 3 3 に代えて、単に液滴を滴下させる方式のもの等、液滴を供給可能なものであれば方式は問わない。

【 0 0 6 9 】

次に、本実施の形態の液晶表示装置における T F T アレイ基板 1 1 の製造方法

について説明する。

【 0 0 7 0 】

本実施の形態において、T F T アレイ基板 1 1 は、図 3 に示すように、ゲート前処理工程 4 1、ゲート線塗布形成工程 4 2、ゲート絶縁層成膜・半導体層成膜工程 4 3、半導体層形成工程 4 4、ソース・ドレイン線前処理工程 4 5、ソース・ドレイン線塗布形成工程 4 6、チャンネル部加工工程 4 7、保護膜形成工程 4 8、保護膜加工工程 4 9 および画素電極形成工程 5 0 からなる。

【 0 0 7 1 】

(ゲート前処理工程 4 1)

このゲート前処理工程 4 1 では、ゲート線塗布形成工程 4 2 のための前処理を行う。次段のゲート線塗布形成工程 4 2 では、パターン形成装置を使用して液体配線材料の滴下によりゲート線が形成される。したがって、ここでは、図 4 (a) に示すゲート線形成領域 6 1 に、パターン形成装置からの液体配線材料の吐出(滴下)により適切に液体配線材料が塗布されるための処理を行う。なお、図 4 (a) は T F T アレイ基板 1 1 が備えるガラス基板 1 2 の平面図である。

【 0 0 7 2 】

この処理には大まかに次のようなものがある。第 1 には基板(ガラス基板 1 2) 上に、液体配線材料に対して基板が濡れ易いか、弾き易いかの性質を付与し、ゲート線形成領域 6 1 としての親水領域(親液領域)とゲート線非形成領域としての撥水領域(撥液領域)とをパターン化する親撥水处理(親撥液処理)である。第 2 には液流を規制するガイド、即ちゲート線形成領域 6 1 に沿ったガイドを形成する処理である。

【 0 0 7 3 】

前者では、酸化チタンを用いた光触媒による親撥水处理が代表的である。後者では、レジスト材料を用い、フォトリソグラフィによりガイド形成を行う。さらに、上記ガイドあるいは基板面に親撥水性を付与するために、それらをプラズマ中で CF_4 、 O_2 ガスに曝す処理を行うことがある。レジストは配線形成後、剥離する。

【 0 0 7 4 】

ここでは、次のように、酸化チタンを使用した光触媒処理を行った。即ち、TFTアレイ基板11のガラス基板12には、フッ素系非イオン界面活性剤であるZONYL FSN（商品名：デュポン社製）をイソプロピルアルコールに混合したものを塗布した。また、ゲート配線パターンのマスクには光触媒層として二酸化チタン微粒子分散体とエタノールの混合物とをスピコートで塗布し、150℃で焼成した。そして、上記マスクを使用し、ガラス基板12に対してUV光による露光を行った。露光条件としては、365nmの紫外光を使用し、70mW/cm²の強度で2分間照射した。

ここで、ガラス基板12上に形成された半導体層16に対して非常に強い光が当たることが予想される場合には、図4（a）に示すように、それを防止するための遮光膜62を予め形成しておいてもよい。遮光膜62は、a-Siが形成される位置にパターン形成装置により遮光膜62の形成材料を滴下し、これを焼成することにより形成する。この形成材料は、感光性樹脂あるいは熱硬化性樹脂にカーボンブラックやTiN等の黒色材料を混ぜたものを使用することができる。

【0075】

（ゲート線塗布形成工程42）

このゲート線塗布形成工程42を図4（b）（c）に示す。図4（b）はゲート電極13を形成した状態のガラス基板12の平面図、図4（c）は、図4（b）におけるB-B線矢視断面図である。

【0076】

この工程では、パターン形成装置を使用し、図4（b）（c）に示すように、ガラス基板12上のゲート線形成領域61に対して配線材料を塗布する。配線材料には、有機膜をコーティングしたAg微粒子を有機溶媒中に分散させたものを用いた。配線幅は概ね50μmでインクジェットヘッド33からの配線材料の吐出量は80p1に設定した。

【0077】

親撥水処理された面では、インクジェットヘッド33から吐出された配線材料がゲート線形成領域61に沿って広がっていくため、吐出間隔を概ね500μm間隔とした。塗布後に350℃で1時間焼成を行い、ゲート電極13配線を形成

した。

【0078】

なお、焼成温度を350℃に設定したのは、次段の半導体層形成工程44において約300℃の処理熱が加わるためである。したがって、焼成温度はこの温度に限定されるものではない。例えば有機半導体を形成する場合、そのアニール温度が100～200℃に設定されることもあり、そのような場合には、焼成温度を下げて200～250℃とすることができる。

【0079】

また、配線材料としては、Ag以外に、Ag-Pd、Ag-Au、Ag-Cu、Cu、Cu-Ni等の単体もしくは合金材料の微粒子もしくはペースト材料を有機溶媒中に含むものを用いることが可能である。さらに、配線材料については、必要な焼成温度に合わせて、上記微粒子を保護している表面コート層や溶媒の有機材料の乖離温度を制御し、所望の抵抗値および表面状態を得ることが可能である。なお、上記乖離温度とは、上記の表面コート層および溶媒が蒸発する温度のことである。

【0080】

(ゲート絶縁層成膜・半導体層成膜工程43)

このゲート絶縁層成膜・半導体層成膜工程43を図5(a)に示す。

この処理では、ゲート線塗布形成工程42を経たガラス基板12上に、ゲート絶縁層15、a-Si成膜層64およびn+成膜層65の3層を連続形成する。a-Si層64はCVDにより形成した。ゲート絶縁層15、a-Si層64、n+層65の厚みはそれぞれ0.3μm、0.15μm、0.04μmとし、真空を破ることなく成膜した。成膜温度は300℃であった。

【0081】

(半導体層形成工程44)

この半導体層形成工程44を図5(b)～図5(e)に示す。図5(e)は半導体層形成工程44を経たガラス基板12を示す平面図、図5(d)は図5(e)におけるC-C線矢視断面図、図5(b)および図5(c)は、各処理を示す図5(d)に示した位置における縦断面図である。

【 0 0 8 2 】

この工程では、図 5 (b) に示すように、ゲート電極 1 3 の本線から分岐した T F T 部ゲート電極 (分岐電極) 6 6 上における n + 層 6 5 の上に、パターン形成装置によりレジスト材料として熱硬化性樹脂を滴下させて付着させ、これによって形成されたレジスト層 6 7 を加工のパターンとした。レジスト材料の吐出量は例えば 1 0 p l の液滴 1 滴とし、T F T 部ゲート電極 6 6 上における所定の位置にほぼ 3 0 μ m 径の円形のパターンを得た。これを 1 5 0 $^{\circ}$ C で焼成した。レジスト層 6 7 の熱硬化性樹脂としては、東京応化製レジスト T E F シリーズをインクジェット用に粘度調整して使用した。

【 0 0 8 3 】

なお、レジスト層 6 7 の材料としては、上記の熱硬化性樹脂の他、U V 樹脂あるいはフォトリソグ使用可能である。また、レジスト層 6 7 は、透明である必要はないものの、透明である場合には形成位置の確認を容易に行うことができる。さらに、レジスト層 6 7 は、ドライエッチングの熱に耐え得るもの、耐ドライエッチングガス性を有するもの、被エッチング材料とのエッチング選択性を有するものであることが望ましい。

【 0 0 8 4 】

次に、ガス (例えば S F 6 \downarrow + H C l) を用い、図 5 (c) に示すように、n + 成膜層 6 5 および a - S i 成膜層 6 4 のドライエッチングを行って n + 層 6 9 および a - S i 層 6 8 を形成した。その後、ガラス基板 1 2 を有機溶剤で洗浄し、図 5 (d) に示すように、レジスト層 6 7 を剥離させて除去した。

【 0 0 8 5 】

上記のように、半導体層形成工程 4 4 においては、パターン形成装置によって吐出された樹脂のパターン (レジスト層 6 7 のパターン) がそのまま、n + 層 6 9 および a - S i 層 6 8 からなる半導体層 1 6 の形状に反映される。したがって、半導体層 1 6 は、レジスト層 6 7 の材料の液滴がインクジェットヘッド 3 3 からガラス基板 1 2 上に滴下されたときのそのままの形状である円形もしくは円形に近い曲線からなるパターンに形成される。

【 0 0 8 6 】

また、レジスト層 6 7 の形成は、インクジェットヘッド 3 3 からの液滴 1 滴の滴下にて行っているものの、複数の液滴の滴下より行ってもよい。ただし、液滴を際限なく微小にし、それら微小な液滴を緻密に吐出させてレジスト層 6 7 を形成した場合には、1 個の半導体層 1 6 を形成するのに長時間を要するばかりか、必要なドット数が増加することによりインクジェットヘッド 3 3 の寿命を縮めることになる。

【 0 0 8 7 】

インクジェットヘッド 3 3 を使用する各工程において重要な点は、液滴の滴下により層（膜）を所望の面積に形成する場合に、最適な液適量かつ可能な限り少ないショット数で液滴を滴下することである。こうすることによって、インクジェットヘッド 3 3 の使用限界内で最大の処理数を実現でき、ひいては装置コストを最低限に抑えることが可能となる。

【 0 0 8 8 】

さらに、半導体層形成工程 4 4 では、インクジェットヘッド 3 3 によって吐出される液滴を受ける面に特別な処理を行う必要が無いことも重要な特徴となっている。即ち、液滴の滴下を受ける面が極端に濡れる状態では、その面がパターン化されていない限り、吐出された液滴は不定形に広がり、成膜工程が成立しない。ところが、 $a-Si$ 成膜層 6 4 では、 Si 終端が多く存在するので基本的に撥水性となり、液滴は $a-Si$ 成膜層 6 4 上においてある程度の大きい接触角を有し、円形に近い状態となる。したがって、基板側（ $a-Si$ 成膜層 6 4）を特別に処理する必要が無い。

【 0 0 8 9 】

また焼成、ガス中処理（ドライエッチング）などが施された基板面は、短分子状のものが付着している可能性が高く、 $a-Si$ 以外の半導体、例えば有機半導体を用いた場合であっても、吐出された液滴はある程度の大きい接触角をもって存在する場合が多い。

【 0 0 9 0 】

従来、半導体層をパターン化するためにはマスクやフォトリソグラフィ工程が必要であった。これに対し、上記の半導体層形成工程 4 4 では、インクジェット

ヘッド 3 3 から液滴を滴下して、マスクとなるパターン（レジスト層 6 7）を直接描画しているので、マスクおよびこれを使用するフォトリソグラフィ工程が不要となる。したがって、大幅なコストダウンを実現することができる。

【 0 0 9 1 】

（ソース・ドレイン線前処理工程 4 5）

このソース・ドレイン線前処理工程 4 5 を図 6（a）に示す。図 6（a）は、半導体層形成工程 4 4 を経たガラス基板 1 2 にソース電極 1 7 およびドレイン電極 1 8 を形成するための配線ガイド 7 1 を形成した状態を示す平面図である。

【 0 0 9 2 】

この工程では、ソース電極 1 7 およびドレイン電極 1 8 を形成する領域（ソース・ドレイン形成領域 7 3）に配線ガイド 7 1 を形成する。配線ガイド 7 1 はフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程 4 4 を経たガラス基板 1 2 上に塗布し、プリバークを行った後、フォトマスクを用いて露光現像を行い、次にポストバークを行った。ここで形成した配線ガイド 7 1 の幅は約 $10\ \mu\text{m}$ 、配線ガイド 7 1 によって形成された溝幅（配線形成領域の幅）は約 $15\ \mu\text{m}$ であった。但し、ソース・ドレイン間隔、即ちチャネル部 7 2 は $4\ \mu\text{m}$ とした。

【 0 0 9 3 】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むように、SiNx 面（ゲート絶縁層 1 5 の上面）には酸素プラズマにて親水処理を施すとともに、配線ガイド 7 1 にはプラズマ中に CF_4 ガスを流すことにより撥水処理を施しても良い。

【 0 0 9 4 】

また、上記の配線ガイド 7 1 の形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理を施してもよい。

【 0 0 9 5 】

（ソース・ドレイン線塗布形成工程 4 6）

このソース・ドレイン線塗布形成工程 4 6 を図 6（b）（c）に示す。図 6（

b) は、上記配線ガイド 7 1 に沿ってソース電極 1 7 およびドレイン電極 1 8 を形成した状態を示す平面図、図 6 (c) は図 6 (b) における D-D 線矢視断面図である。

【 0 0 9 6 】

ソース・ドレイン線塗布形成工程 4 6 では、図 6 (b) (c) に示すように、配線ガイド 7 1 により形成されたソース・ドレイン形成領域 7 3 に、パターン形成装置にて配線材料を塗布することにより、ソース電極 1 7 およびドレイン電極 1 8 を形成した。ここでは、インクジェットヘッド 3 3 からの配線材料の吐出量を 2 p l に設定した。また、配線材料には、A g 微粒子材料を用い、形成膜厚を $0.3 \mu m$ とした。また、焼成温度は $200^{\circ}C$ とし、焼成後、有機溶媒にて配線ガイド 7 1 を除去した。

【 0 0 9 7 】

なお、配線材料は、前述のゲート電極 1 3 に使用したものと同様のものを使用可能であるものの、a-Si の形成が約 $300^{\circ}C$ で行われていることから、焼成温度は $300^{\circ}C$ 以下で行う必要がある。

【 0 0 9 8 】

以上のゲート前処理工程 4 1 ～ソース・ドレイン線塗布形成工程 4 6 により、T F T の基本構造がほぼできあがる。

【 0 0 9 9 】

ここで、T F T 部 2 2 において重要なことは、図 7 に示すように、ゲート電極 1 3 の T F T 部ゲート電極 6 6 がほぼ円形の半導体パターン（半導体層 1 6）を突き抜けていることである。これは、T F T 部ゲート電極 6 6 が半導体のパターンの内側に入っている場合には、後に詳述するように、ゲートが O F F 状態であっても T F T 部ゲート電極 6 6 からの電界が十分に作用しない半導体領域を通してソース・ドレイン電極間にリーク電流が流れるからである。なお、半導体パターンが、T F T 部ゲート電極 6 6、ソース電極 1 7 およびドレイン電極 1 8 からはみ出す構造となるものの、これによるフォトコンダクター発生は T F T の実用上何ら問題が無いことが分かった。

【 0 1 0 0 】

(チャンネル部加工工程 4 7)

ここでは、T F T のチャンネル部 7 2 の加工を行う。この処理を図 8 (a) (b) に示す。図 8 (a) (b) は図 6 (b) における D - D 線矢視断面部分に相当する断面図である。まず、図 8 (a) に示すように、配線ガイド 7 1 を有機溶媒により除去した。あるいはアッシングによりチャンネル部 7 2 の配線ガイド 7 1 を除去した。次に、図 8 (b) に示すように、アッシングもしくはレーザー酸化で n + 層 6 9 を酸化処理し、不導体化した。

【 0 1 0 1 】

(保護膜形成工程 4 8、保護膜加工工程 4 9)

ここでは、先ず、ソース・ドレイン電極までが形成されたガラス基板 1 2 上に、図 9 (a) (b) に示すように、C V D により保護膜 1 9 となる SiO_2 膜を形成した。

【 0 1 0 2 】

次に、この SiO_2 膜の上に、感光性アクリル樹脂層 2 0 となるアクリル性レジスト材料を塗布し、このレジスト層に画素電極形成パターン (図 9 (b) 参照)、および端子加工用パターンを形成した。

【 0 1 0 3 】

上記パターンの形成においては、マスクに、上記レジスト層が現像後に全て取り除かれるようにする部分と厚さにおいて約半分取り除かれるようにする部分とを形成した。後者は透過率が約 5 0 % のハーフトーン露光用の領域である。即ち、保護膜 1 9 およびゲート絶縁層 1 5 をエッチングして端子面を形成する部分では、レジスト層を全て取り除く一方、画素電極 2 1 を形成する部分では、感光性アクリル樹脂層 2 0 における画素電極形成パターンの周りがガイドとなるように、レジスト層の厚さを塗布厚の半分に調整した。次に、レジスト層をマスクにして、まず端子部にある保護膜 1 9 およびゲート絶縁層 1 5 をドライエッチングで除去した。

【 0 1 0 4 】

(画素電極形成工程 5 0)

感光性アクリル樹脂層 2 0 の画素電極形成パターン上に、図 1 0 (a) (b)

に示すように、画素電極材料となるITO微粒子材料をパターン形成装置により塗布し、これを200℃で焼成して画素電極21を形成した。これにより、TFTアレイ基板11を得た。

【0105】

従来、端子加工やITO加工のそれぞれにマスクを用いてフォトリソグラフィ工程を行っていたが、感光性のアクリル系樹脂を用いて、ハーフトーン露光を施すことにより1枚のマスクでこれら工程を兼ねることができるので、マスク枚数が減少し、コストダウンが可能となる。

【0106】

ここで、ソース・ドレイン線塗布形成工程46において示したリーク電流の発生メカニズムを、図11(a)(b)および図12(a)(b)に基づいて詳述する。

【0107】

図11(a)はTFT部ゲート電極66が半導体パターン(半導体層16)を突き抜けている場合におけるTFT部の平面図であり、図11(b)はそのG-G線矢視断面図である。図12(a)はTFT部ゲート電極66が半導体パターン(半導体層16)を突き抜けておらず、半導体パターン領域内に存在している場合におけるTFT部の平面図であり、図12(b)はそのH-H線矢視断面図である。また、図11(a)および図12(a)はゲート電極13に負の電位が印加された場合を示している。図11(b)および図12(b)に示すように、TFT部ゲート電極66はゲート絶縁層15を挟んでa-Si層68と対向している。ここで、n+層69はa-Si層68へキャリアを注入する層であり、リン(P)等をドーブした過電子状態の層である。

【0108】

図11(a)(b)(TFT部ゲート電極突抜け状態)および図12(a)(b)(TFT部ゲート電極非突抜け状態)のTFTにおいて、ゲート電極13に例えば-4Vの電圧を印加した場合のソース・ドレイン電極間のリーク電流を測定した。その結果、リーク電流は、TFT部ゲート電極突抜け状態において凡そ1pA程度であった。一方、TFT部ゲート電極非突抜け状態において30~5

0 pAに増加した。

【0109】

これらは何れも暗い環境下での測定結果であるが、バックライト光を入射した場合、リーク電流値は、TFT部ゲート電極突抜け状態では20 pAまで増加した。これに対し、TFT部ゲート電極非突抜け状態では、凡そ2000～3000 pAと大幅に増加した。これにより、TFT部ゲート電極非突抜け状態では、TFT特性が劣化することが分った。また、この結果が生じた理由は、次のように説明することができる。

【0110】

先ず、ゲート電極13に負電位が印加された場合について説明する。

ゲート電極が負電位である場合、キャリアである電子は、図11(a)に示すように、負電荷同士の反発によりTFT部ゲート電極66から離れようとして存在する。したがって、電子はソース・ドレイン電極近傍に存在し、チャネル部分のa-Si層68には殆ど存在していない。このため、TFTはOFF状態となっている。仮に、電子がゲート・ドレイン間を流れようとしても、TFT部ゲート電極66を越えて流れなければならない。この場合、TFT部ゲート電極66は負電位であるので、電荷の反発で電子はゲート電極を越えて流れることができない。このため、リーク電流は小さいと考えられる。

【0111】

一方、図12(a)の場合には、TFT部ゲート電極66が負電位であっても、a-Si層68がTFT部ゲート電極66の先端部よりも外側にもあるので、電子はTFT部ゲート電極66を越えなくてもa-Si層68の外周部に沿って移動することができる。このため、リーク電流が容易に流れ易くなると考えられる。また、バックライト光が当たった場合には、バックライト光による励起でキャリアが発生する。このキャリアは、同様の理由から、a-Si層68の外周部に沿って流れるものと考えられる。したがって、図11(a)(TFT部ゲート電極突抜け状態)と図12(a)(TFT部ゲート電極非突抜け状態)とでは、バックライト光照射時において、リーク電流の増加量に大差が生じるものと考えられる。

【0112】

上記の説明から理解できるように、TFT部において、TFT部ゲート電極66の先端部はa-Si層68の外周部から突き抜けていること（突出していること）が必要である。

【0113】

次に、ゲート電極13に正電位が印加された場合について説明する。

ゲート電極13が正電位である場合には、n+層69の電子がTFT部ゲート電極66の電位に引き寄せられ、チャネル部にキャリアが存在することになる。したがって、ソース・ドレイン電極間には容易に電流が流れ、TFTがON状態になる。例えばゲート電極に10Vを印加したところ、ソース・ドレイン間には凡そ1 μ Aの電流が流れた。このときのソース・ドレイン間の印加電圧は10Vであった。TFTがONの場合、電子はソース・ドレイン間を最短距離で流れようとするので、TFT部ゲート電極非突抜け状態であっても影響はない。

【0114】

なお、図13に示すように、TFT部ゲート電極66に対してa-Si層68が偏って存在した場合には問題が生じる。特に、図13の状態ではドレイン電極18は、その幅方向の一部においてのみa-Si層68と重合している。この状態では、ソース電極17で十分な電子の流れが得られず、ドレイン電極18がa-Si層68と重合している電極幅に比例してON電流が増減することになる。このようなTFTが液晶パネル面内においてまばらに存在すると、各画素の充電状態が異なり、画像斑が生じることになる。したがって、チャネル部72において、ソース電極17およびドレイン電極18はその全幅においてa-Si層68と重合していなければならない。

【0115】

上記の点から、パターン形成装置のインクジェットヘッド33からレジスト形成材料を滴下して、a-Si層68を加工するためのレジスト層67を塗布する場合には、パターン形成装置が有する着弾誤差（狙った位置に対する滴下位置の誤差）、即ち滴下精度を見込んで、加工後のa-Si層68がチャネル部72においてソース電極17およびドレイン電極18の全幅と重合し、かつTFT部ゲ

ート電極 6 6 の先端部が a - S i 層 6 8 から突出するように形成する必要がある。

【 0 1 1 6 】

また、このためには、T F T 部ゲート電極 6 6 は、パターン形成装置のインクジェットヘッド 3 3 からのレジスト形成材料の着弾誤差（滴下精度）を見込んで、さらに詳細にはレジスト層 6 7 の径（例えば $30\mu\text{m}$ ）とパターン形成装置による滴下精度（例えば $\pm 10\mu\text{m}$ ）とを考慮して、加工後の a - S i 層 6 8 から T F T 部ゲート電極 6 6 の先端部が突出し得る長さに形成しておく必要がある。

【 0 1 1 7 】

なお、上記の例では、遮光膜（遮光層）6 2 を T F T 部 2 2 の下部（半導体層 1 6 の下層）に形成する場合について示したが、遮光膜 6 2 は T F T 部 2 2 の上部（半導体層 1 6 の上層）に形成してもよい。ここで、T F T 部 2 2 の上部に遮光膜 6 2 を形成する例について、図 1 4（a）～図 1 4（d）に基づいて説明する。図 1 4（a）は、チャンネル部 7 2 のエッチング完了状態を示す T F T アレイ基板 1 1 の縦断面図、図 1 4（b）は、上部の遮光膜 6 2 の形成工程を示す T F T アレイ基板 1 1 の縦断面図、図 1 4（c）は、図 1 4（d）における M - M 線矢視断面図、図 1 4（d）は、上部の遮光膜 6 2 を有する T F T アレイ基板 1 1 の画素電極 2 1 の形成完了状態を示す平面図である。

【 0 1 1 8 】

ゲート前処理工程 4 1 で述べたとおり、遮光膜 6 2 は必要に応じて形成するか否かを選択することが可能である。特に T F T 部 2 2 のチャンネル部 7 2 側からの迷光により T F T 特性が変化する場合は、チャンネル部 7 2 の上部に遮光膜 6 2 を形成することによって T F T 特性の劣化を防止することが可能である。ここでは、下部の遮光膜 6 2 と同時に上部の遮光膜 6 2 を用い、T F T 部 2 2 の上下に遮光膜 6 2 を形成した例を示す。これら遮光膜 6 2 は、必要に応じて何れか、若しくは両方を形成しても良い。

【 0 1 1 9 】

上部の遮光膜 6 2 は、図 1 4（a）に示す、チャンネル部 7 2 のエッチング完了後に、図 1 4（b）に示すように、パターン形成装置から遮光膜材料の液滴を滴

下することにより形成した。その後、図 1 4 (c) に示すように、感光性アクリル樹脂層 2 0 を形成し、さらに画素電極 2 1 を形成した。

【0 1 2 0】

遮光膜 6 2 の材料は、ゲート電極 1 3 (T F T 部ゲート電極 6 6) の下部に形成した遮光膜 6 2 の材料と同じ、樹脂に T i N を混ぜたものを使用できる。なお、本例では、遮光膜 6 2 は電極上に形成するため、絶縁性であり、成分が半導体層 1 6 に拡散して半導体 1 6 の性能劣化を起させないものが望ましい。

【0 1 2 1】

また、形成する遮光膜 6 2 は、T F T 上の保護膜 (図示せず) と感光性アクリル製樹脂層 2 0 との層間に形成しても良い。この場合は、メリットとして、ソース電極 1 7 およびドレイン電極 1 8 と遮光膜 6 2 との間に層間絶縁層が入ることになるので、遮光膜 6 2 の材料は必ずしも絶縁物や半導体層への拡散防止を考慮した材料でなくても良く、材料の選択範囲が広く取れる。また、この場合、画素電極 2 1 (I T O 電極) 形成のための感光性アクリル製樹脂を遮光膜 6 2 の形成後に形成するので、遮光膜 6 2 を形成することによる段差を感光性アクリル製樹脂層 2 0 によって平坦化させることができる。したがって、液晶層の厚みが均一となるので、表示斑が出ることはない。さらに、画素電極 2 1 の I T O の塗布前に、即ち感光性アクリル樹脂層 2 0 と画素電極 2 1 との間に、遮光膜 6 2 を形成することも可能である。

【0 1 2 2】

上記のように、本 T F T アレイ基板 1 1 の製造方法では、インクジェット方式によるパターン形成装置を用いない従来の製造方法と比較すると、マスク枚数を従来の 5 枚から 3 枚に減らすことができ、フォトリソグラフィ工程や、真空成膜装置を大幅に削減することができる。これにより、設備投資額も大幅に削減することができる。

【0 1 2 3】

〔実施の形態 2〕

本発明の実施の他の形態を図 1 5 ないし図 2 1 に基づいて以下に説明する。
本実施の形態における液晶表示装置は、図 1 5 (a) に示す画素を有している。

なお、同図は、TFTアレ基板における1画素の概略構成を示す平面図である。また、同図におけるI-I線矢視断面図を図15(b)に示す。

【0124】

図1(a)(b)に示したTFTアレ基板11の製造においては、ソース電極17およびドレイン電極18を形成後、保護膜19を形成し、その後、感光性アクリル樹脂層20にて画素電極用ガイドを形成している。

【0125】

本実施の形態の液晶表示装置におけるTFTアレ基板81の製造においては、ソース電極17とドレイン・画素電極82とを、同一工程でのガイド形成もしくは光触媒を利用した親撥水処理にて同一層に形成する。なお、TFTアレ基板81においては、TFT部22のドレイン電極と画素電極とが一連につながったの電極により形成されているので、ドレイン・画素電極82としている。また、保護膜83は、ほぼTFT部22上のみに形成されている。

【0126】

このような構造および製造方法の違いにより、TFTアレ基板11の製造においては、感光性アクリル樹脂層20の形成にマスクが必要である一方、TFTアレ基板81の製造においては、上記マスクが不要となり、マスク枚数を減少可能である。しかしながら、TFTアレ基板81の製造においては、ソース電極17形成用のガイド形成と同工程での画素電極(ドレイン・画素電極82)形成用のガイド形成、もしくは親撥水処理領域の形成を行う。このため、TFTアレ基板81はTFTアレ基板11より開口率が小さくなる。

【0127】

また、TFTアレ基板11では、画素電極21と補助容量電極14とが異なる層となるので、ドレイン電極18が補助容量部23まで伸び、そこにコンタクトホール24を形成し、画素電極21と画素電極と接続している。これに対し、TFTアレ基板81では、ドレイン・画素電極82が補助容量部23までの電極も兼ねている。

【0128】

これらTFTアレ基板11、81では、チャンネル部72にソース電極材料、

画素電極材料の飛沫が飛ぶのを避けるため、ソース・ドレイン電極を形成する際には、チャンネル部 7 2 から離れた位置に電極形成材料をインクジェットヘッド 3 3 から滴下させるとともに、その材料がチャンネル部 7 2 方向へ流れるように、ソース・ドレイン電極の形成領域をチャンネル部 7 2 方向へ幅が広がったテーパー形状としている。この形状は一例として図 1 (a) におけるドレイン電極 1 8、ソース電極のチャンネル近傍において明示されている。

【0129】

また、a-Si 層 6 8 の形成は、材料を 1 滴 (1 ショット) だけ滴下して形成されたレジスト層 6 7 をマスクとして a-Si 成膜層 6 4 を加工することにより行うことが可能であるものの、例えば T F T がソース電極 1 7 の延びる方向と平行な方向に長いタイプである場合等においては、材料を 2 滴 (2 ショット) 以上滴下してレジスト層 6 7 を形成してもよい。

【0130】

次に、本実施の形態の液晶表示装置における、T F T を備えた T F T アレイ基板 8 1 の製造方法について説明する。

【0131】

本実施の形態において、T F T アレイ基板 8 1 は、図 1 6 に示すように、ゲート前処理工程 4 1、ゲート線塗布形成工程 4 2、ゲート絶縁層成膜・半導体層成膜工程 4 3、半導体層形成工程 4 4、ソース・ドレイン・画素電極前処理工程 9 1、ソース線塗布形成工程 9 2、ドレイン・画素電極塗布形成工程 9 3、チャンネル部加工工程 9 4 および保護膜形成工程 9 5 からなる。このうち、ゲート前処理工程 4 1 から半導体層形成工程 4 4 までは、T F T アレイ基板 1 1 の製造の場合と同様であるので説明を省略する。

【0132】

(ソース・ドレイン・画素電極前処理工程 9 1)

このソース・ドレイン・画素電極前処理工程 9 1 を図 1 7 に示す。図 1 7 は、半導体層形成工程 4 4 を経たガラス基板 1 2 にソース電極 1 7 を形成するための配線ガイド 8 4 およびドレイン・画素電極 8 2 を形成するための配線ガイド 8 5 を形成した状態を示す平面図である。

【0133】

この工程では、ソース電極17を形成する領域（ソース形成領域86）に配線ガイド84を形成し、ドレイン・画素電極82を形成する領域（ドレイン・画素電極形成領域87）に配線ガイド85を形成する。配線ガイド84、85はフォトレジスト材料を用いて形成した。即ち、フォトレジストを半導体層形成工程44を経たガラス基板12上に塗布し、プリベークを行った後、フォトマスクを用いて露光現像を行い、次にポストベークを行った。ここで形成した配線ガイド84、85の幅は約 $10\mu\text{m}$ 、配線ガイド84によって形成された溝幅（配線形成領域の幅）は約 $15\mu\text{m}$ であった。但し、ソース・ドレイン間隔、即ちチャネル部72は $4\mu\text{m}$ とした。

【0134】

なお、パターン形成装置により塗布される配線材料が下地面となる面に良く馴染むように、 SiN_x 面（ゲート絶縁層15の上面）には酸素プラズマにて親水処理を施すとともに、配線ガイド84、85にはプラズマ中に CF_4 ガスを流すことにより撥水処理を施しても良い。

【0135】

また、上記の配線ガイド84、85の形成に代えて、前記ゲート電極形成に用いた光触媒による親撥水処理方法にて、配線電極パターンに応じた親撥水処理を施してもよい。なお、この場合には、ソース電極材料が画素電極側へ飛翔することが無いように注意する必要がある。

【0136】

（ソース線塗布形成工程92）

このソース線塗布形成工程92を図18（a）（b）に示す。図18（a）は、上記配線ガイド84に沿ってソース電極17を形成した状態を示す平面図、図18（b）は図18（a）におけるJ-J線矢視断面図である。

【0137】

ソース線塗布形成工程92では、図18（a）（b）に示すように、配線ガイド84により形成されたソース形成領域86に、パターン形成装置にて配線材料を塗布することにより、ソース電極17を形成した。ここでは、インクジェット

ヘッド 3 3 からの配線材料の吐出量を 2 p l に設定した。また、配線材料には、A g 微粒子材料を用い、形成膜厚を 0. 3 μ m とした。また、焼成温度は 2 0 0 $^{\circ}$ C とし、焼成後、有機溶媒にて配線ガイド 8 4 を除去した。

【0 1 3 8】

なお、配線材料は、前述のゲート電極 1 3 に使用したものと同様のものを使用可能であるものの、a - S i の形成が約 3 0 0 $^{\circ}$ C で行われていることから、焼成温度は 3 0 0 $^{\circ}$ C 以下で行う必要がある。

【0 1 3 9】

(ドレイン・画素電極塗布形成工程 9 3)

このドレイン・画素電極塗布形成工程 9 3 を図 1 9 (a) (b) に示す。図 1 9 (a) は、上記配線ガイド 8 5 に沿ってドレイン・画素電極 8 2 を形成した状態を示す平面図、図 1 9 (b) は図 1 9 (a) における K - K 線矢視断面図である。

【0 1 4 0】

このドレイン・画素電極塗布形成工程 9 3 では、パターン形成装置にて I T O 微粒子材料を配線ガイド 8 5 に塗布し、それを 2 0 0 $^{\circ}$ C で焼成することによりドレイン・画素電極 8 2 を形成した。

【0 1 4 1】

このような工程により、従来ソース・ドレイン電極形成、I T O 加工にそれぞれマスクを用いていたが、これらを 1 枚のマスクで兼用可能となる。また、インクジェット方式のパターン形成装置を用いることで、各パターンに電極材料と画素電極材料とをそれぞれのインクジェットヘッド 3 3 により塗りわけ可能であるので、装置構成の削減、材料の利用効率の向上が可能となり、コストダウンを図り得る。

【0 1 4 2】

(チャンネル部加工工程 9 4)

ここでは、T F T のチャンネル部 7 2 の加工を行う。この処理を図 2 0 (a) (b) に示す。図 2 0 (a) (b) は図 1 9 (a) における K - K 線矢視断面部分に相当する断面図である。まず、図 2 0 (a) に示すように、チャンネル部 7 2 に

おける配線ガイド 8 4, 8 5 を有機溶媒あるいはアッシングにより除去した。次に、図 2 0 (b) に示すように、アッシングもしくはレーザー酸化で n+層 6 9 を酸化処理し、不導体化した。

【 0 1 4 3 】

(保護膜形成工程 9 5)

この保護膜形成工程 9 5 を図 2 1 に示す。同図は、図 1 9 (a) における K-K 線矢視断面部分に相当する断面図である。この感光性アクリル樹脂層 2 0 では、ソース電極 1 7 およびドレイン・画素電極 8 2 までが形成されたガラス基板 1 2 上に、パターン形成装置により保護膜 8 3 を形成した。保護膜 8 3 は、材料としてエトキシシラン材等の透明無機物を使用し、それを T F T 部 2 2 上に塗布し、150℃程度で焼成して形成した。材料としては、その他、レジスト材料あるいは感光性樹脂を用いても構わない。また、保護膜 8 3 の材料としては、通常の保護機能に、外光からの保護もしくはカラーフィルターに形成されるブラックマトリックスを兼ねて、前記遮光膜 6 2 を使用してもよい。このように、保護膜 8 3 の材料は、透明材料、不透明材料の何れであっても使用可能である。以上の工程により T F T アレイ基板 8 1 を得た。

【 0 1 4 4 】

本実施の形態の製造工程では、従来のインクジェットを用いない工程と比較すると、マスク枚数を従来の 5 枚から 2 枚に減らすことができ、ソース電極 1 7 およびドレイン・画素電極 8 2 の形成を 1 度のガイド形成工程にて形成することができる。したがって、前記 T F T アレイ基板 1 1 の製造工程よりもさらにマスク枚数を減少させることが可能である。また真空成膜装置を削減可能である点は、T F T アレイ基板 1 1 の製造の場合と同様である。

【 0 1 4 5 】

なお、以上の例においては、a-Si を半導体層に使用したが、有機半導体や微粒子半導体材料も使用可能である。この場合は、T F T アレイ基板 1 1 の a-Si 加工工程が、パターン形成装置により直接に半導体材料を塗布する工程に取って代わる。このため、わざわざ加工用のレジストもしくは樹脂材料の塗布や、ドライエッチング工程、レジスト、樹脂材料の除去工程が必要なくなるので、さ

らに工程短縮を図ることが可能である。

【0146】

この場合の半導体層16の製造方法を図22(a)～図22(c)に示す。
ここでは、図22(a)に示すように、ゲート絶縁層15を形成した後、図22(b)(c)に示すように、TFT部22上のゲート絶縁層15に対してパターン形成装置により半導体材料を直接滴下して、例えばそれを焼成することにより半導体層16を形成する。半導体材料としては、ポリビニルカルバゾール(PVK)やポリフェニレンビニレン(PPV)に代表される有機半導体材料を使用可能である。

【0147】

a-SiのようにCVDで形成するものはエッチング加工が必要となる一方、上記のような材料を使用した場合には、パターン形成装置による1滴の滴下(1ショット)にて半導体層16を形成可能である。即ち、この場合には、半導体層16の形成位置にガイド形成や親撥水処理を行わない。

【0148】

上記の実施の形態1, 2に示したTFTアレイ基板11の構成では、ゲート電極13が本線と本線から分岐したTFT部ゲート電極66をもち、TFTがTFT部ゲート電極66上に形成される場合を示した。ここでは、ゲート電極13が分岐電極(TFT部ゲート電極66)を持たない場合の例を示す。

【0149】

図23に示すように、半導体層16(a-Si層)はゲート電極13(ゲートライン)上に形成され、ソース電極17からの分岐電極17aがチャネル部72(TFT部22)へ伸びている。一方、ドレイン電極18は、補助容量を形成している補助容量部23から直線状に伸び、チャネル部72に達している。なお、本例では、図1に示した実施の形態1に対応した構成としたが、図15に示した実施の形態2に対応した構成でも構わない。

【0150】

本例のTFTアレイ基板11では、ゲート電極13が分岐した電極を持たないため、前述の分岐電極(TFT部ゲート電極66)における突き抜け状態は必要

ない。

【0151】

本TFTアレイ基板11の構成は、ゲート電極13の幅が比較的狭い場合、例えば $10\mu\text{m}$ ～ $20\mu\text{m}$ 程度である場合に有効である。表示パネルにおいて、画面对角が10～15型以下ではゲート電極13が前記の様に比較的狭幅で形成され、また、電極長も短い。一方、20型以上のような大型パネルとなると、ゲート電極13の抵抗を下げるために幅が広くなってくる。この様な場合、本構成を採用しようとするれば、TFT形成領域でゲート電極幅を狭く形成する必要が出てくる。そのため、ゲート電極13の抵抗値が増加することになる。したがって、本構成は、TFTの形成長さがゲート電極幅と同程度であるような場合に有効となる。

【0152】

なお、上記画面サイズとゲート電極幅との関係は、材料の抵抗値や、他の設計パラメータも影響するので、常に上記関係が成立しているわけではない。

【0153】

また、以上の説明において、液滴の滴下形状とは、パターン形成装置によって滴下されたそのままの状態をいい、曲率を持った輪郭線で構成される形状である。したがって、滴下形状は、液滴が1滴のみ滴下された場合や複数の液滴が同一位置に滴下された場合には、図24に示すように、円形若しくはほぼ円形をしている。

【0154】

また、上記の滴下形状は、上記のように円形若しくはほぼ円形ばかりでなく、円形からずれた形状（円形がくずれた形状や円形から変形した形状）となる場合もある。例えば、図25（a）に示すように円形に近いものの円形から変形した形状、図25（b）に示すように凹み部を有する形状、あるいは図25（c）に示すように凸部を一部に含んだような形状となることもある。これら曲率をもった輪郭線で構成された形状は、液滴が滴下された基板表面状態の微妙な違いや、液滴が飛翔している場合では空気抵抗等の影響によって起こるものと考えられる。これらの各形状は、滴下されたそのままの形状として本発明に規定する滴下形

状に含まれる。

【0155】

さらに、滴下形状は1滴の液滴の滴下にとどまらず、複数の液滴の滴下で形成される場合もある。図26(a)は2滴の滴下によって変形楕円形状を形成した場合である。各液滴は滴下後に一体化または輪郭線的に一体化し、全体として曲率をもった輪郭線で構成される形状となる。図26(b)は3滴の滴下によって形成された例である。

【0156】

なお、ここでは、図27(a)に示すように、液滴を無限小にし、これら液滴を敷き詰めることによって図27(b)のような形状を形成することを意図していない。

【0157】

以上のように、本発明の液晶表示装置では、図1(a)や図15(a)に示すように、TFT部22において、ゲート電極13のTFT部ゲート電極66がほぼ円形の半導体パターン(半導体層16)を突き抜けるように形成されていることで、ゲートがOFF状態のときに、ソース・ドレイン電極間にリーク電流が流れないようにしている。

【0158】

つまり、本発明の液晶表示装置のTFT部22の特性は、図29に示すドレイン電流(I_d)とゲート電圧(V_g)との関係で示される。なお、本グラフでは、本発明の比較例として、半導体層形成時における液滴の着弾誤差によってゲート電極13のTFT部ゲート電極66が半導体層16から突き抜けていない構造のTFT(図30)を用いた。

【0159】

図29に示すグラフから、ゲート電圧が負の値、すなわちゲートがOFF状態のときには、本発明のTFTではドレイン電流がほとんど流れないが、図30に示すTFTではドレイン電流がわずかに流れていることが分かる。すなわち、ゲートがOFF状態のとき、本発明のTFTではドレイン電流(リーク電流)がほとんど流れないが、図30に示すTFTではドレイン電流(リーク電流)が流れ

ていることが分かる。

【0160】

なお、TFT部ゲート電極66が半導体層16から突き抜ける方向は、特に限定せず、例えば図31に示すように、ソース電極17に沿って突き抜けてもよいし、図32に示すドレイン電極18に沿って突き抜けて形成してもよい。

【0161】

ところで、ゲートがOFF状態のとき、ソース・ドレイン電極間にリーク電流が流れないようにするには、上述のように、TFT部ゲート電極66が半導体層16から突き抜けていればよく、半導体層16を形成するための液滴の着弾誤差を考慮した場合、このTFT部ゲート電極66が半導体層16から突き抜ける量が多い程、リーク電流を無くすような位置に半導体層16を形成できるように液滴を着弾させることができるので、好ましいが、該TFTを液晶表示装置、特に、透過型液晶表示装置に適用した場合、開口率の低下を招くという問題が生じる。なお、反射型液晶表示装置に適用した場合は、特に問題にはならない。

【0162】

そこで、以下の実施の形態では、液晶表示装置、特に透過型液晶表示装置において、開口率の低下を防止しつつ、半導体層となる液滴をリーク電流を無くすような位置に着弾させた例について説明する。

【0163】

〔実施の形態3〕

本発明の実施のさらに他の形態を図33ないし図36に基づいて以下に説明する。

【0164】

本実施の形態における液晶表示装置は、図33に示す画素を有している。なお、同図は、TFTアレイ基板における1画素の概略構成を示す平面図である。また、この画素は、前記実施の形態1の図1(a)に示す画素と同じ透過型液晶表示装置に使用される画素を示しており、図1(a)に示す画素と同一機能を有する部材には同一の符号を付記し、その説明は省略する。

【0165】

図 3 3 に示すように、本実施の形態にかかる T F T アレイ基板 2 0 1 は、図 1 (a) に示す T F T アレイ基板 1 1 とほぼ同じ構成であるが、T F T 部ゲート電極 6 6 の終端にさらに、ソース電極 1 7 に近接した突出電極 2 0 2 が延設されている。

【 0 1 6 6 】

この突出電極 2 0 2 は、T F T 部ゲート電極 6 6 の幅よりも小さい線幅に形成され且つ、ソース電極 1 7 に近接して形成されている。

【 0 1 6 7 】

これによって、ゲートが O F F 状態のときに、ソース・ドレイン電極間にリーク電流が流れないように、半導体層 1 6 を形成した場合に、T F T アレイ基板 2 0 1 における開口率の低下を招かない。

【 0 1 6 8 】

また、図 3 4 に示す T F T アレイ基板 2 1 1 のように、T F T 部ゲート電極 6 6 の終端にさらに、ドレイン電極 1 8 に近接した突出電極 2 1 2 を延設してもよい。

【 0 1 6 9 】

この場合も、ゲートが O F F 状態のときに、ソース・ドレイン電極間にリーク電流が流れないように、半導体層 1 6 を形成した場合に、T F T アレイ基板 2 1 1 における開口率の低下を招かない。

【 0 1 7 0 】

ここで、上記 T F T 部 2 2 近傍の詳細な構造について、図 3 5 および図 3 6 を参照しながら以下に説明する。

【 0 1 7 1 】

図 3 5 は、図 3 3 に示した T F T アレイ基板 2 0 1 の T F T 部 2 2 近傍の拡大図であり、突出電極 2 0 2 をソース電極 1 7 に沿って延長させた場合を示す図である。また、図 3 6 は、図 3 4 に示した T F T アレイ基板 2 1 1 の T F T 部 2 2 近傍の拡大図であり、突出電極 2 1 2 をドレイン電極 1 8 に沿って延長させた場合を示す図である。

【 0 1 7 2 】

図 3 5 に示すように、T F T 部ゲート電極 6 6 の端部 6 6 a には、延長線としての突出電極 2 0 2 が形成されており、該突出電極 2 0 2 の電極幅は、前記端部 6 6 a の電極幅より細くなっている。

【 0 1 7 3 】

なお、本実施の形態では、T F T 部ゲート電極 6 6 の端部 6 6 a の幅を $10\ \mu\text{m}$ 、突出電極 2 0 2 の幅を $5\ \mu\text{m}$ 、ソース電極 1 7 とドレイン電極 1 8 との間、すなわち T F T 長 C H を $5\ \mu\text{m}$ に設定している。

【 0 1 7 4 】

また、T F T 部ゲート電極 6 6 は、線幅が通常 T F T 長 C H より長く設定される一方、ソース電極 1 7、ドレイン電極 1 8 との重なり部分（オーバーラップ部）O V を有するように形成される。従って、本実施の形態の様に、T F T 長 C H が $5\ \mu\text{m}$ であれば、T F T 部ゲート電極 6 6 の幅は、 $10\ \mu\text{m}$ 程度でよいことになる。

【 0 1 7 5 】

尚、ここで示した値は、一例であり限定されるものではない。

【 0 1 7 6 】

また、上記突出電極 2 0 2 の端部は、a - S i 層である半導体層 1 6 から必ず外へ出ていなければならないが、上記の T F T 長 C H の長さによって規制されるような幅があるわけではない。

【 0 1 7 7 】

つまり、上記突出電極 2 0 2 の端部は、半導体層 1 6 より外に出ることで、T F T 部ゲート電極 6 6 が O F F 状態となるように、該 T F T 部ゲート電極 6 6 に電圧が印加されたとき、該半導体層 1 6 でソース電極 1 7 からドレイン電極 1 8 へリーク電流が流れなければよく、該突出電極 2 0 2 の端部の幅は T F T 部ゲート電極 6 6 の端部 6 6 a の幅と同じである必要は無い。

【 0 1 7 8 】

従って、突出電極 2 0 2 の幅を、T F T 部ゲート電極 6 6 の幅よりも細く形成しても全く問題無いので、図 3 3 および図 3 5 に示すように、該突出電極 2 0 2 をソース電極 1 7 に沿わせるように近接配置させることで、T F T アレイ基板 2

01における開口率低下を防ぐことができる。

【0179】

但し、上記突出電極202は、ソース電極17と重なら無いように形成するのが好ましい。これは、突出電極202とソース電極17とが重なることによって、該突出電極202とソース電極17との間にゲート絶縁層（図示せず）を介して新に容量が生じ、ソース電極17を流れる信号の遅れ、鈍りを招くことになる為である。

【0180】

ここで、図35に示す半導体層16は、液滴が目標位置（ソース・ドレイン間の中心位置）から、図面上方にずれて着弾されて形成された例を示している。

【0181】

ところで、半導体層16の境界ライン（円弧の周囲）が、ソース電極17の一端面17aより上方へ移動すると、TFTの有効幅が狭くなる。このため、半導体層16の境界ラインがこれ以上上方になるように、該半導体層16が形成されるとTFT部22の特性が劣化する。

【0182】

したがって、半導体層16の境界ラインは、ソース電極17の一端面17aよりも下方になるように設定するのが好ましい。

【0183】

一方、半導体層16の上端（TFT部ゲート電極66の端部66a側の境界領域）は、TFT部ゲート電極66の端部66aを遥かに超えて図面上方に位置している。ここで、TFT部ゲート電極66の端部66aから突出した突出電極202がなければ、該TFT部ゲート電極66の端部66aを越える半導体層16は、ソース、ドレイン間のリーク電流の原因となる。つまり、TFT部22の特性が低下するとい問題が生じる。

【0184】

これを防ぐには、TFT部ゲート電極66の端部66aを延長する必要があるが、該端部66aをそのままの幅で図面上方へ延長すれば、TFTアレイ基板201の画素部の面積を侵食することになる。

【0185】

そこで、図35に示すように、突出電極202を、TFT部ゲート電極66の端部66aよりも細い電極幅として延長させ、更にソース電極17に沿うように延長することで、むやみにTFT部ゲート電極66の画素部の開口率低下させることが無い。

【0186】

しかも、図35では、突出電極202の端部は、半導体層16の境界領域より遥かに上方に突出して形成されている為、リーク電流が生じることは無い。これにより、TFT部22の特性が低下することを防ぐことが可能となる。ひいては、TFT部22の特性を向上させることが可能となる。

【0187】

また、図36に示すように、TFT部ゲート電極66の端部66aから突出した突出電極212をドレイン電極18に沿って延長させて形成してもよい。つまり、突出電極212を、図面上方、つまりソース電極17に沿った方向ではなく、ドレイン電極18に沿った方向に延長させて形成する。この場合も、突出電極21の幅は、TFT部ゲート電極66の端部66aの幅より細く形成されている。

【0188】

図36では、半導体層16が図面右方向にずれた状態を示している。ここでは、ソース電極17の一端面17aに半導体層16の境界がきているので、該半導体層16を、これ以上図面上方若しくは右方向に形成することはできない。このとき、突出電極212の端面は、上記半導体層16から突出した状態であることが必要である。

【0189】

そして、上記突出電極212は、ドレイン電極18に沿うように形成することで、むやみにTFTアレイ基板211の画素部の開口率を下げることはない。但し、画素部への電荷を引き込み、充電不足の原因となる容量を生み出すようなドレイン電極18との重なりが生じないように、上記突出電極212を形成する必要がある。

【0190】

なお、突出電極202とソース電極17、突出電極212とドレイン電極18の何れにおいても、上述したように重なりが生じないように形成するのが好ましいが、重なりが生じて、形成される容量を考慮して画素部に電荷を充電するように各電極に流れる信号を調整すればよい。

【0191】

本実施の形態では、TFT部22において、TFT部ゲート電極66にOFF状態となるような電圧が印加された状態で、ソース・ドレイン間でリーク電流が発生しないようにし、且つ、TFTアレイ基板の画素部の開口率の低下を防止するために、例えば図33に示すように、突出電極202をソース電極17に沿って形成したり、図34に示すように、突出電極212をドレイン電極18に沿って形成したりしている例について説明した。

【0192】

つまり、本実施の形態3では、TFT部ゲート電極66の端部66aの延長部分が半導体層16から突き抜けた後の、突出電極202や突出電極212の形成方向について説明した。以下の実施の形態4では、TFT部ゲート電極66の端部66aが半導体層16から突き抜ける量について説明する。

【0193】

〔実施の形態4〕

本発明の実施のさらに他の形態を図37および図38に基づいて以下に説明する。

【0194】

本実施の形態では、インクジェット方式を利用してTFTを形成する際に、液滴の着弾誤差を考慮してTFTを形成する例について説明する。

【0195】

まず、液滴の着弾誤差について考える。着弾した液滴の位置、広がりからくる誤差を、液量とその広がりに関する、着弾後の液のしめる面積と、目標着弾位置がずれることによる誤差とにわけて考えることにする。

【0196】

前者には、吐出液滴量バラツキ、基板の表面性の状態（親液性か撥液性）によって液滴領域形状の不確定さが含まれる。

【0197】

ここで、表面処理の状態による液滴形状の不確定さとは、着弾面の表面処理と液滴の材料で決まる濡れ性を考慮して必要な塗布面積となるよう予め設定した吐出量によって液滴を着弾させても、着弾時の状態によって液の広がりにも不確定さが生じ、着弾した液の領域の輪郭線が変化することをいう。

【0198】

後者には、機械誤差、すなわちステージの位置精度、インクジェットヘッドの取り付け誤差、インクジェットヘッドの穴加工精度誤差、マルチノズルのノズル間バラツキ、基板ノズル間距離誤差、ヘッド熱膨張誤差などが含まれ、さらに、ノズル面におけるインクの濡れ状態が付着物により変化しインクの飛ぶ方向が影響されることなども含まれる。

【0199】

もちろん、インクジェットの着弾精度を決める要因はこれらだけでなく、複雑な要因があるがここでは冒頭のように2方面から考える。

【0200】

図37は、TF Tを示しており、目標着弾位置はチャネル部の中央である。インクジェットにおける目標着弾位置のズレは、目標位置からの距離が半径 $R = \Delta 2$ の円301として表している。ここで、 $\Delta 2$ は、着弾位置ズレ（ステージ誤差＋機械加工誤差＋吐出角度誤差＋熱膨張＋…）を示す。つまり、上述した機械誤差やノズル面の状態によって目標としている着弾点からの誤差を $\Delta 2$ （液滴の滴下位置ずれを考慮した第2の誤差）とすると、図37に示すように、半径 $R = \Delta 2$ の範囲が着弾後の液滴中心が入る領域となる。

【0201】

また、インクジェットで打ったレジスト（液滴）によって加工されるa-Si領域（半導体層16）によって、最低限カバーされなければならない範囲は、TF Tのチャネル部の幅Wと長さLの範囲であるから、インクジェットで吐出した液滴が着弾して円形になったとすれば、図37に示すように、チャネル部中心f

を基準にして、丁度半径 r の円 3 0 2 となる。ここで、半径 r は、T F T 中心（チャンネル部中心 f ）からチャンネル隅までの距離を示す。すなわち、半径 r は、前記チャンネル部中心から該チャンネル部の最外端までの距離を示す。

【 0 2 0 2 】

ここに、先ほどの液量と広がりからの誤差分、つまり液量によって半径が変化する量と、液体が広がって伸びることによる形状の不確定さを見込んで半径を大きく取ったのが半径 $R = r + \Delta 1$ で書かれる円 3 0 3 となる。ここで、 $\Delta 1$ は、液量誤差 + 広がりバラツキ（広がり誤差）を示す。すなわち、 $\Delta 1$ は、半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を示す。

【 0 2 0 3 】

従って、T F T のチャンネル部の中央に液滴が着弾した場合、該液滴の液量と領域の不確定さを見込んで最低限、半径 $R = r + \Delta 1$ の円 3 0 3 が書けるような吐出量の液滴を飛ばせば、チャンネル部はカバーされることになる。

【 0 2 0 4 】

ここに、着弾位置の誤差 $\Delta 2$ を入れた、半径 $R = r + \Delta 1 + \Delta 2$ で書かれる円 3 0 4 がチャンネル部中心 f を狙って吐出したときの、チャンネル部をカバーするための必要半径となる。

【 0 2 0 5 】

従って、加工後の半導体層 6 は、半径 R が、以下の関係式 (3)、

$$R \geq r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように設定されるのが望ましい。

【 0 2 0 6 】

図 3 7 では、半導体層 6 の境界を、ソース電極 1 7 ・ドレイン電極 1 8 の上端（T F T 部ゲート電極 6 6 の端部 6 6 a 側の端部）からの距離 $L 1$ で示している。

【 0 2 0 7 】

従って、T F T チャンネル部中央を狙ってレジストである液滴を着弾させて、半導体層 6 の加工を行う場合、ソース電極 1 7 ・ドレイン電極 1 8 の上端からの距

離 L_1 が、以下の関係式 (4)、

$$L_1 > \Delta_1 + \Delta_2 \quad \dots \dots \dots (4)$$

を満たすように該半導体層 6 の領域境界線が来ることが望ましい。

【0208】

尚、ここでは、TFT部 22 のチャネル部の幅 W が長さ L に比べて長く、 L が大変短いとして、 $W/2 \doteq r$ としている。

【0209】

TFT部ゲート電極 66 の開放端である端部 66a は、半径 $R = r + \Delta_1 + \Delta_2$ の円 304 が、目標着弾位置からのズレ Δ_2 だけ端部 66a 方向にずれるので、チャネル部中心 f から該端部 66a までの距離を L_3 とすると、以下の関係式 (1)、

$$L_3 > r + \Delta_1 + 2\Delta_2 \quad \dots \dots \dots (1)$$

を満たす位置に配置することが望ましい。

【0210】

さらに、ソース電極 17・ドレイン電極 18 の端部からの距離を L_2 とすれば、 $W/2 \doteq r$ である場合、以下の関係式 (2)

$$L_2 > \Delta_1 + 2\Delta_2 \quad \dots \dots \dots (2)$$

を満たすように設定することが望ましい。

【0211】

尚、この場合、TFT部ゲート電極 66 の端部 66a の位置を規定する条件は、上記の (1) (2) 式の何れであってもよい。

【0212】

図 38 は、TFT部ゲート電極 66 の端部 66a が図面右方向に曲がった場合を示している。この場合は、ソース電極 17・ドレイン電極 18 の端部からの距離では、TFT部ゲート電極 66 の端部 66a を規定できないので、チャネル部中心 f からの距離で該端部 66a を規定することができる。この場合は、図 38 に示すように、TFT部ゲート電極 66 の端部 66a の先端部は、上記 (1) 式を満たす条件で設定されることが望ましい。

【0213】

ここで、液晶パネルのTFT部22のチャネル寸法は、 $W = 25 \mu\text{m}$ 、 $L = 5 \mu\text{m}$ となっている場合が多い。この寸法における r は、 $r = 12.7 \mu\text{m}$ 、また、インクジェットにおける目標着弾位置の誤差 $\Delta 2$ は、 $\pm 15 \mu\text{m}$ 程度である。また、液量と境界の不確定さからくる変形の誤差 $\Delta 1$ は、 $\pm 5 \mu\text{m}$ であった。

【0214】

従って、この場合の加工後の半導体層6の形状は、 $12.7 + 5 + 15 = 32.7 \mu\text{m}$ の半径でできる円領域が最低限必要となる。

【0215】

また、図37に示すように、TFT部ゲート電極66の端部66aが真直ぐ伸びる場合、ソース電極17・ドレイン電極18の端部からの該端部66aは、 $L_2 > 5 + 2 \times 15 = 35 \mu\text{m}$ の位置に設定することが望ましい。チャネル部中心fからでは、 $L_3 > 12.7 + 5 + 2 \times 15 = 47.7 \mu\text{m}$ の条件で該端部66aを設定することが望ましい。なお、ここで、 $W/2 = 12.5 \mu\text{m} \doteq r = 12.7 \mu\text{m}$ とした。

【0216】

本実施の形態3、4にかかるTFTアレイ基板は、前記実施の形態1、2における各製造工程において、以下に示す工程を追加して製造されるものである。

【0217】

すなわち、前記実施の形態1または2に記載のゲート電極を形成する工程において、ゲート電極13の分岐電極であるTFT部ゲート電極66の、半導体層16の領域から突出している部分（端部66a）の幅を、該半導体層16の領域内の部分の幅よりも小さくなるように形成すれば、本実施の形態3に記載のTFTアレイ基板を製造することができる。

【0218】

また、前記実施の形態1または2に記載のゲート電極を形成する工程において、ゲート電極13の分岐電極であるTFT部ゲート電極66の、半導体層16の領域から突出している部分（端部66a）を、TFT部22のソース電極17またはドレイン電極18の何れか一方に近接して形成すれば、本実施の形態3に記載のTFTアレイ基板を製造することができる。

【 0 2 1 9 】

また、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 1 3 の分岐電極である T F T 部ゲート電極 6 6 の、半導体層 1 6 の領域から突出している部分（端部 6 6 a）を、T F T 部 2 2 のチャネル部中心 f から該チャネル部の最外端までの距離を r、該半導体層 1 6 を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式（1）、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成すれば、本実施の形態 4 に記載の T F T アレイ基板を製造することができる。

【 0 2 2 0 】

また、前記実施の形態 1 または 2 に記載のゲート電極を形成する工程において、ゲート電極 1 3 の分岐電極である T F T 部ゲート電極 6 6 の、半導体層 1 6 の領域から突出している部分（端部 6 6 a）を、該半導体層 1 6 を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第 2 の誤差を $\Delta 2$ 、T F T 部 2 2 のソース・ドレイン電極の前記 T F T 部ゲート電極 6 6 の開放端側の端部（端部 6 6 a）から該 T F T 部ゲート電極 6 6 の開放端までの距離を $L 2$ としたとき、以下の関係式（2）、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成すれば、本実施の形態 4 に記載の T F T アレイ基板を製造することができる。

【 0 2 2 1 】

さらに、前記実施の形態 1 または 2 に記載の半導体層 1 6 の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、前記レジスト層を、前記 T F T 部 2 2 のチャネル部中心 f から該チャネル部の最外端までの距離を r、該レジスト層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第 1 の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した

第2の誤差を $\Delta 2$ 、前記チャネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成すれば、本実施の形態4に記載のTFTアレイ基板を製造することができる。

【0222】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【0223】

【発明の効果】

以上のように、本発明のTFTアレイ基板は、半導体層が液滴の滴下形状をなしている構成である。

【0224】

これにより、TFTアレイ基板の製造において、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

【0225】

上記のTFTアレイ基板は、前記薄膜トランジスタ部のゲート電極が、ゲート電極における本線からの分岐電極であり、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【0226】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【 0 2 2 7 】

また、本発明のTFTアレ基板は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように形成した構成としてもよい。

【 0 2 2 8 】

上記の構成によれば、画素部にかかる分極電極の開放端が該画素部に占める割合が小さくなり、開口率の低下を抑制できる。

【 0 2 2 9 】

また、本発明のTFTアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記ソース電極またはドレイン電極の何れか一方に近接して形成された構成としてもよい。

【 0 2 3 0 】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、TFTアレ基板の画素部内で、開口率を低下させることなく、該分極電極の開放端の突出部分を延ばして形成することができる。

【 0 2 3 1 】

これにより、半導体層の領域から分極電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【 0 2 3 2 】

また、前記分岐電極の、前記半導体層の領域から突出している部分は、以下のようにして規定することが考えられる。

【 0 2 3 3 】

すなわち、本発明のTFTアレ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴

下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式(1)、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成した構成としてもよい。

【0 2 3 4】

また、本発明のTFTアレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記分岐電極の、前記半導体層の領域から突出している部分は、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記ソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式(2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成した構成としてもよい。

【0 2 3 5】

上記のTFTアレイ基板は、前記半導体層の上にソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記ソース電極およびドレイン電極における前記チャンネル部側の端部が、それらの全幅にわたって前記半導体層の領域内に位置している構成としてもよい。

【0 2 3 6】

上記の構成によれば、各画素のソース電極において十分なON電流を得ることができるので、各画素の充電状態が不均一となって画像斑が生じる事態を防止することができる。

【0 2 3 7】

上記のTFTアレイ基板は、少なくとも前記半導体層の上層若しくは下層の何れか一方の前記半導体層の位置に対応する位置に、液滴の滴下形状の遮光膜が形成されている構成としてもよい。

【0 2 3 8】

上記の構成によれば、遮光膜は必要に応じて形成されるものの、遮光膜が必要な場合には、前記半導体層の形成の場合と同様、マスクを使用することなく、遮光膜を例えばインクジェット方式を利用した遮光膜材料の液滴の例えば1滴の滴下により容易に形成することが可能となる。これにより、TFTアレイ基板の製造工程において、マスクや大幅な材料追加を伴うことなく形成することが可能なため、製造工数の低減およびコストダウンが可能となる。

【0239】

また、本発明のTFTアレイ基板は、前記半導体層の上には、ソース電極とドレイン電極とが形成され、かつこれら両電極間にチャンネル部が形成され、前記半導体層は、前記チャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心からの距離を該半導体層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成した構成としてもよい。

【0240】

上記の構成によれば、薄膜トランジスタ部のチャンネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0241】

本発明の液晶表示装置は、上記のTFTアレイ基板を備えている構成である。したがって、液晶表示装置の製造工程において、必要なマスク数が減少する結果、製造時間の短縮およびコストダウンが可能となる。

【0242】

本発明のTFTアレイ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に半導体膜を成膜する工程と、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程と、前記レジスト層の形状に

前記半導体膜を加工して薄膜トランジスタ部の半導体層を形成した後、前記レジスト層を除去する工程とを備えている構成である。

【 0 2 4 3 】

これにより、成膜された半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状（通常はほぼ円形）のレジスト層を形成し、このレジスト層をマスクとして半導体層を形成することができる。

【 0 2 4 4 】

したがって、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウンが可能となる。

【 0 2 4 5 】

本発明のTFTアレイ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記分岐電極上における前記ゲート絶縁層の上に半導体材料の液滴を滴下し、薄膜トランジスタ部の半導体層として、前記液滴の滴下形状の半導体層を形成する工程とを備えている構成である。

【 0 2 4 6 】

これにより、分岐電極上におけるゲート絶縁層の上に半導体材料の液滴を滴下することのみにより、液滴の滴下形状（通常はほぼ円形）の半導体層を形成することができる。

【 0 2 4 7 】

したがって、半導体層を形成するためのマスクが不要となり、必要なマスク数が減少する結果、製造工数を削減することができる。また、マスクを使用したフォトリソグラフィ工程が減少するので、フォトリソグラフィ工程のための設備費の削減が可能であるのに加えて、廃棄される材料の量が減少する。これにより、製造時間の短縮およびコストダウン並びに材料の有効利用が可能となる。

【 0 2 4 8 】

上記のTFTアレ基板の製造方法は、ゲート電極を形成する前記工程では本線とこの本線からの分岐電極を有するゲート電極形成し、前記分岐電極における開放端が前記半導体層の領域から突出している構成としてもよい。

【0249】

上記の構成によれば、薄膜トランジスタ部における、ゲート電極の分岐電極は、半導体層の領域から開放端が突出した形状となっているので、分岐電極からの電界の作用により、ソース・ドレイン電極間のリーク電流を適切に抑制することができる。

【0250】

上記のTFTアレ基板の製造方法は、前記分岐電極が、前記分岐電極における開放端が前記半導体層の領域から突出するように、液滴の滴下精度に基づいた長さに設定されている構成としてもよい。

【0251】

上記の構成によれば、レジスト材料の液滴あるいは半導体材料の液滴を、最終的に形成される半導体層の領域から分岐電極の開放端が確実に突出する位置に滴下させることが可能となる。この結果、ソース・ドレイン電極間のリーク電流を適切に抑制可能となる。

【0252】

本発明のTFTアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分の幅を、該半導体層の領域内の部分の幅よりも小さくなるように設定する構成としてもよい。

【0253】

上記の構成によれば、画素部にかかる分岐電極の開放端が該画素部に占める割合を小さくできるので、開口率の低下を抑制できる。

【0254】

本発明のTFTアレ基板の製造方法は、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のソース電極またはドレイン電極の何れか一方に近接して形成する構成としてもよい。

【0255】

上記の構成によれば、分岐電極の、前記半導体層の領域から突出している部分を、ソース電極またはドレイン電極の何れか一方に近接して形成することで、T F T アレイ基板の画素部内で、開口率を低下させることなく、該分極電極の開放端の突出部分を延ばして形成することができる。

【 0 2 5 6 】

これにより、半導体層の領域から分極電極の開放端を確実に突出させた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【 0 2 5 7 】

本発明のT F T アレイ基板の製造方法は、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、前記薄膜トランジスタ部のチャネル部中心から該チャネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャネル部中心から前記分岐電極の開放端までの距離を $L 3$ としたとき、以下の関係式(1)、

$$L 3 > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (1)$$

を満たすように形成する構成としてもよい。

【 0 2 5 8 】

また、前記ゲート電極を形成する工程において、前記分岐電極の、前記半導体層の領域から突出している部分を、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記薄膜トランジスタ部のソース・ドレイン電極の前記分岐電極の開放端側の端部から該分岐電極の開放端までの距離を $L 2$ としたとき、以下の関係式(2)、

$$L 2 > \Delta 1 + 2 \Delta 2 \quad \dots \dots \dots (2)$$

を満たすように形成する構成としてもよい。

【 0 2 5 9 】

何れの構成であっても、半導体層の領域から分極電極の開放端を確実に突出さ

せた状態にすることができるので、ソース・ドレイン電極間のリーク電流を確実に抑制することができる。

【0260】

また、本発明のTFTアレ基板の製造方法は、前記半導体膜の上にレジスト材料の液滴を滴下して、液滴の滴下形状のレジスト層を形成する工程において、前記レジスト層を、前記薄膜トランジスタ部のチャンネル部中心から該チャンネル部の最外端までの距離を r 、該半導体層を構成する液滴の滴下量と該液滴の滴下後の広がりバラツキとを考慮した第1の誤差を $\Delta 1$ 、該液滴の滴下位置ずれを考慮した第2の誤差を $\Delta 2$ 、前記チャンネル部中心からの距離を該レジスト層の半径 R としたとき、以下の関係式(3)、

$$R > r + \Delta 1 + \Delta 2 \quad \dots \dots \dots (3)$$

を満たすように形成する構成としてもよい。

【0261】

上記の構成によれば、薄膜トランジスタ部のチャンネル部に半導体層を確実に形成することができるので、該薄膜トランジスタ部の特性を低下させないようにできる。

【0262】

本発明のTFTアレ基板の製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極の上にゲート絶縁層を形成する工程と、前記ゲート絶縁層の上に薄膜トランジスタ部の半導体層を形成する工程と、前記半導体層の形成工程を経た基板に対し、電極材料の液滴の滴下によりソース電極を形成するための第1の領域、および電極材料の液滴の滴下により少なくとも画素電極を形成するための第2の領域を形成する前処理工程と、前記前処理工程を経た基板に対し、第1の領域と第2の領域とに電極材料の液滴を滴下して、ソース電極、ドレイン電極および画素電極を形成する電極形成工程とを備えている構成である。

【0263】

これにより、電極形成工程に対する1つの前処理工程において、電極材料の液滴の滴下によりソース電極を形成するための第1の領域と電極材料の液滴の滴下により少なくとも画素電極を形成するための第2の領域とを形成するので、第1

の領域と第 2 の領域とを別々の工程にて形成する場合と比較して、製造工数を削減し、コストダウンが可能となる。

【0 2 6 4】

本発明の液晶表示装置の製造方法は、上記の何れかの T F T アレイ基板の製造方法を含んでいる構成である。したがって、少なくとも、液晶表示装置の製造工数を削減し、コストダウンが可能となる。

【図面の簡単な説明】

【図 1】

図 1 (a) は本発明の実施の一形態の液晶表示装置における T F T アレイ基板の 1 画素の概略構成を示す平面図、図 1 (b) は図 1 (a) における A - A 線矢視断面図である。

【図 2】

本発明の実施の一形態における液晶表示装置の製造に使用するインクジェット方式のパターン形成装置を示す概略の斜視図である。

【図 3】

図 1 に示した T F T アレイ基板の製造工程を示すフローチャートである。

【図 4】

図 4 (a) は図 3 に示したゲート前処理工程を説明する T F T アレイ基板の平面図、図 4 (b) は同ゲート線塗布形成工程を説明する T F T アレイ基板の平面図、図 4 (c) は図 4 (b) における B - B 線矢視断面図である。

【図 5】

図 5 (a) ~ 図 5 (c) は図 4 (b) における B - B 線矢視断面に相当する部分の断面図であって、図 5 (a) は図 3 に示したゲート絶縁層成膜・半導体層成膜工程を示すもの、図 5 (b) は図 3 に示した半導体層形成工程における a - S i 成膜層および n + 成膜層の成膜処理を示すもの、図 5 (c) は同工程における a - S i 成膜層および n + 成膜層のエッチング処理を示すもの、図 5 (d) は同工程におけるレジストの除去処理を示すものであって、図 5 (e) における C - C 線矢視断面、図 5 (e) は半導体層形成工程を経た T F T アレイ基板の平面図である。

【図 6】

図 6 (a) は図 3 に示したソース・ドレイン線前処理工程を説明する T F T アレイ基板の平面図、図 6 (b) は同ソース・ドレイン線塗布形成工程を説明する T F T アレイ基板の平面図、図 6 (c) は図 6 (b) における D - D 線矢視断面図である。

【図 7】

図 1 (a) に示した T F T アレイ基板における T F T 部を示す平面図である。

【図 8】

図 8 (a) (b) は図 6 (b) における D - D 線矢視断面部分に相当する断面図であって、図 8 (a) は図 3 に示したチャンネル部加工工程における配線ガイドの除去処理を示すもの、図 8 (b) は同工程における n+層の酸化処理を示すものである。

【図 9】

図 9 (a) は図 3 に示した保護膜形成工程および保護膜加工工程を説明する T F T アレイ基板の平面図、図 9 (b) は図 9 (a) における E - E 線矢視断面図である。

【図 1 0】

図 1 0 (a) は図 3 に示した画素電極形成工程を説明する T F T アレイ基板の平面図、図 1 0 (b) は図 1 0 (a) における F - F 線矢視断面図である。

【図 1 1】

図 1 (a) に示した T F T 部でのリーク電流の発生メカニズムの説明図であって、図 1 1 (a) は T F T 部ゲート電極が半導体パターンを突き抜けている場合における T F T 部の平面図、図 1 1 (b) は図 1 1 (a) における G - G 線矢視断面図である。

【図 1 2】

図 1 2 (a) は、上記リーク電流の発生メカニズムの説明図であって、図 1 1 (a) の構成に対し、T F T 部ゲート電極が半導体パターンを突き抜けていない場合における T F T 部の平面図、図 1 2 (b) は図 1 2 (a) における H - H 線矢視断面図である。

【図 1 3】

図 1 (a) に示した T F T 部において T F T 部ゲート電極に対して a - S i 層が偏って存在した場合を示す T F T 部の示す平面図である。

【図 1 4】

図 1 4 (a) は、下部の遮光膜に加えて上部の遮光膜を有する T F T アレイ基板の製造方法を示すものであって、チャネル部のエッチング完了状態を示す T F T アレイ基板の縦断面図、図 1 4 (b) は、上部の遮光膜の形成工程を示す T F T アレイ基板の縦断面図、図 1 4 (c) は、図 1 4 (d) における M - M 線矢視断面図、図 1 4 (d) は、画素電極の形成完了状態を示す T F T アレイ基板 1 1 の平面図である。

【図 1 5】

図 1 5 (a) は、本発明の実施の他の形態の液晶表示装置における T F T アレイ基板の 1 画素の概略構成を示す平面図、図 1 5 (b) は図 1 5 (a) における I - I 線矢視断面図である。

【図 1 6】

図 1 5 に示した T F T アレイ基板の製造工程を示すフローチャートである。

【図 1 7】

図 1 6 に示したソース・ドレイン・画素電極前処理工程を説明する T F T アレイ基板の平面図である。

【図 1 8】

図 1 8 (a) は図 1 6 に示したソース線塗布形成工程を説明する T F T アレイ基板の平面図、図 1 8 (b) は図 1 8 (a) における J - J 線矢視断面図である。

【図 1 9】

図 1 9 (a) は図 1 6 に示したドレイン・画素電極塗布形成工程を説明する T F T アレイ基板の平面図、図 1 9 (b) は図 1 9 (a) における K - K 線矢視断面図である。

【図 2 0】

図 2 0 (a) (b) は図 1 9 (a) における K - K 線矢視断面部分に相当する

断面図であって、図 2 0 (a) は図 1 6 に示したチャンネル部加工工程における配線ガイドの除去処理を示すもの、図 2 0 (b) は同工程における n+層の酸化処理を示すものである。

【図 2 1】

図 1 9 (a) における K-K 線矢視断面部分に相当する断面図であって、図 1 6 に示した保護膜形成工程を説明するものである。

【図 2 2】

図 2 2 (a) は、本実施のさらに他の形態の TFT アレイ基板における、半導体層形成前の状態を示す断面図、図 2 2 (b) は、半導体層を形成した TFT アレイ基板を示すものであって、図 2 2 (c) における L-L 線矢視断面図、図 2 2 (c) は半導体層を形成した TFT アレイ基板を示す平面図である。

【図 2 3】

本発明の実施のさらに他の形態の液晶表示装置における TFT アレイ基板の 1 画素の概略構成を示す平面図である。

【図 2 4】

図 2 に示したパターン形成装置からの液滴の滴下により形成される滴下形状の一例を示すものであって、滴下形状がほぼ円形である場合を示す説明図である。

【図 2 5】

図 2 5 (a) は、図 2 4 に示した滴下形状の他の例を示すものであって、滴下形状が円形に近いものの円形から変形した形状である場合、図 2 5 (b) は凹みを有する形状である場合、図 2 5 (c) は凸部を一部に含んだような形状である場合を示す説明図である。

【図 2 6】

図 2 6 (a) は、図 2 4 に示した滴下形状の他の例を示すものであって、滴下形状が 2 滴の滴下によって変形楕円形状となった場合、図 2 6 (b) は滴下形状が 3 滴の滴下によって形成された場合を示す説明図である。

【図 2 7】

図 2 7 (a) は、本願発明が意図しない状態であって、液滴を無限小にし、こ

れら液滴を敷き詰めて滴下した状態を示す説明図、図 2 7 (b) は 2 7 (a) の状態により形成される滴下形状を示す説明図である。

【図 2 8】

従来の液晶表示装置における T F T アレイ基板の製造工程を示すフローチャートである。

【図 2 9】

本発明の T F T アレイ基板の T F T 特性を示すグラフである。

【図 3 0】

T F T アレイ基板の T F T 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ていない状態を示す図である。

【図 3 1】

T F T アレイ基板の T F T 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ている状態の一例を示す図である。

【図 3 2】

T F T アレイ基板の T F T 部の拡大図であり、ゲート電極の開放端が半導体層から突き出ている状態の一例を示す図である。

【図 3 3】

本発明の実施の他の形態の液晶表示装置における T F T アレイ基板の 1 画素の概略構成を示す平面図である。

【図 3 4】

本発明の実施の他の形態の液晶表示装置における T F T アレイ基板の 1 画素の概略構成を示す平面図である。

【図 3 5】

図 3 3 に示す T F T アレイ基板の 1 画素の要部拡大図である。

【図 3 6】

図 3 4 に示す T F T アレイ基板の 1 画素の要部拡大図である。

【図 3 7】

T F T 部におけるゲート電極開放端と半導体層境界領域との関係を規定するための説明図である。

【図 3 8】

T F T 部におけるゲート電極開放端と半導体層境界領域との関係を規定するための他の説明図である。

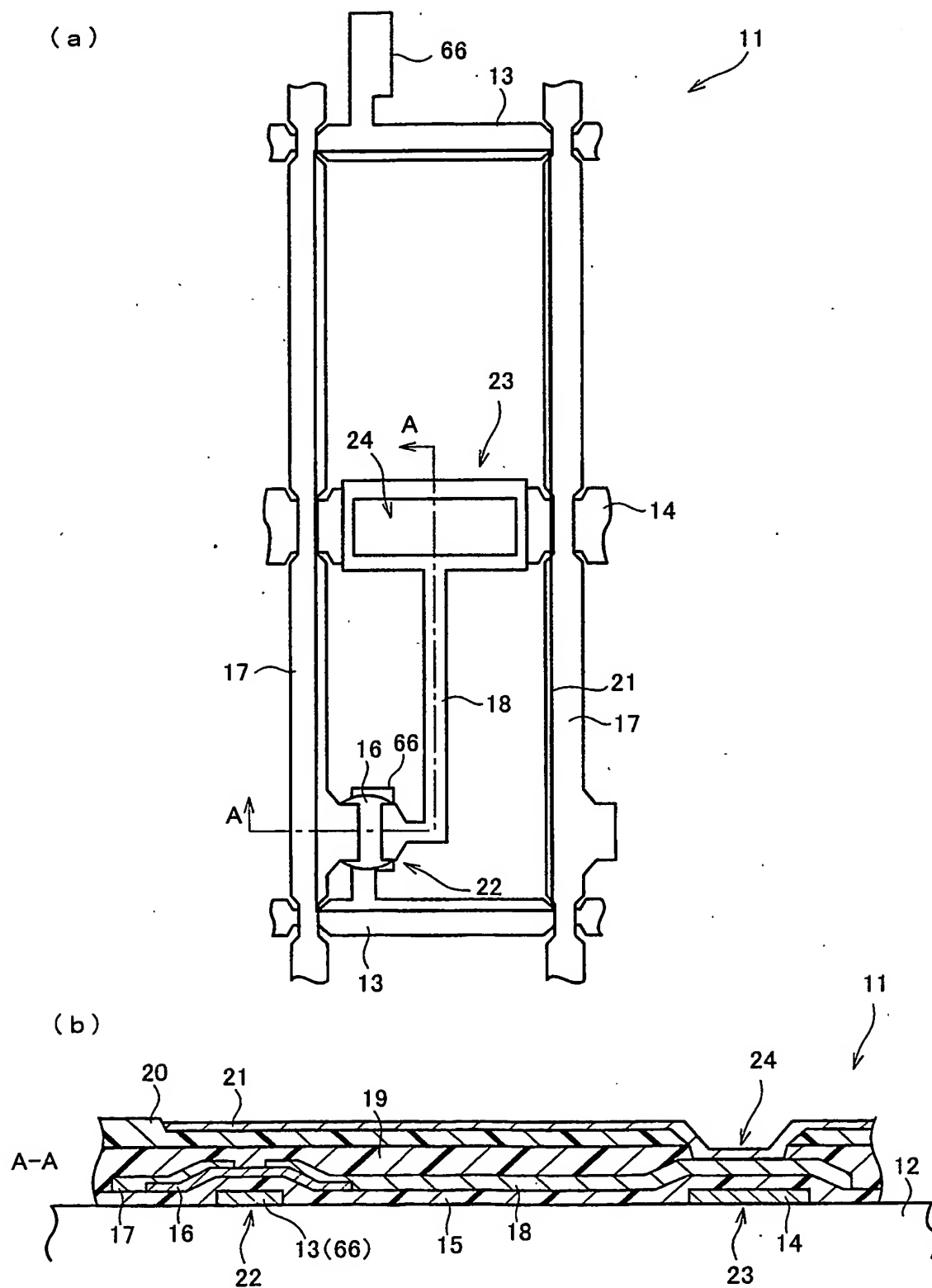
【符号の説明】

- 1 1 T F T アレイ基板
- 1 2 ガラス基板
- 1 3 ゲート電極
- 1 4 補助容量電極
- 1 5 ゲート絶縁層
- 1 6 半導体層
- 1 7 ソース電極
- 1 8 ドレイン電極
- 1 9 保護膜
- 2 0 感光性アクリル樹脂層
- 2 1 画素電極
- 2 2 T F T 部
- 2 3 補助容量部
- 2 4 コンタクトホール
- 3 3 インクジェットヘッド
- 6 1 ゲート線形成領域
- 6 2 遮光膜
- 6 4 a - S i 成膜層
- 6 5 n + 成膜層
- 6 6 T F T 部ゲート電極 (分岐電極)
- 6 6 a 端部
- 6 7 レジスト
- 6 8 a - S i 層
- 6 9 n + 層
- 71,84,85 配線ガイド

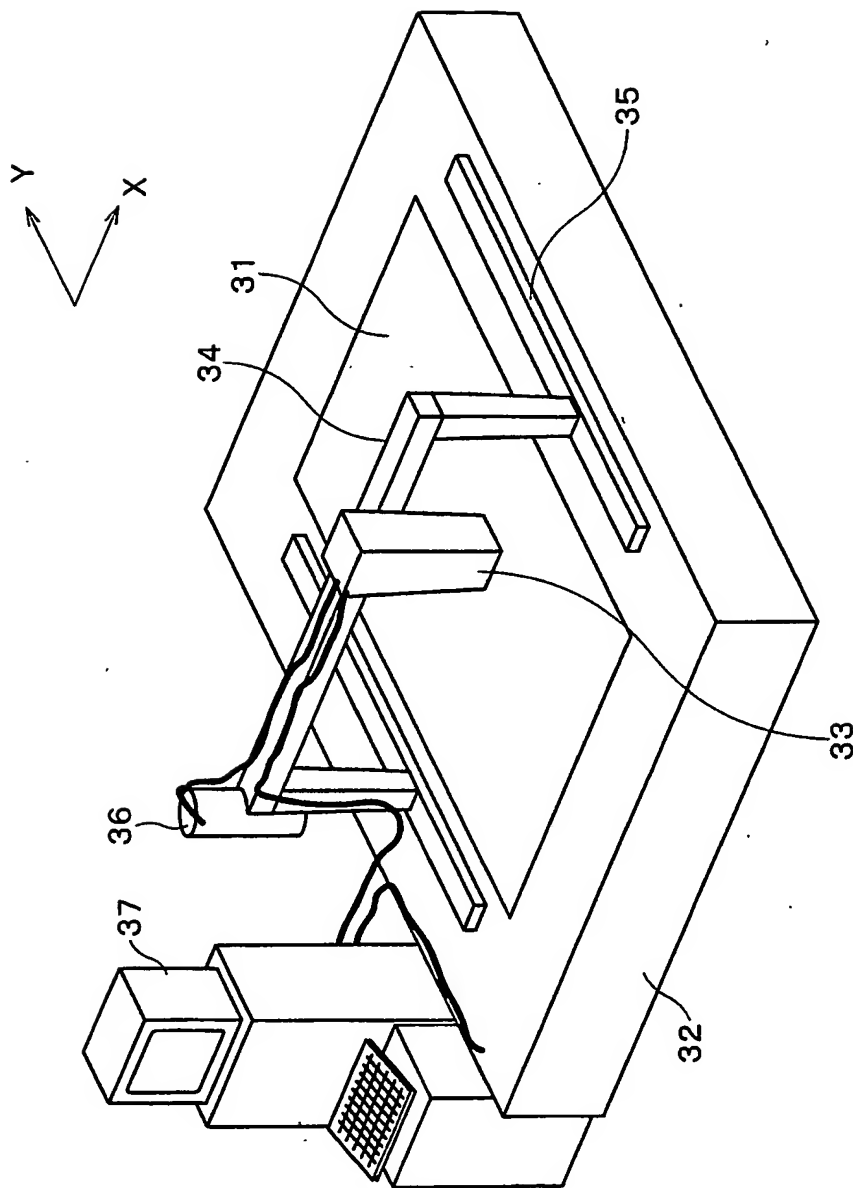
- 7 2 チャネル部
- 7 3 ソース・ドレイン形成領域
- 8 1 T F T アレイ基板
- 8 2 ドレイン・画素電極
- 8 3 保護膜
- 8 6 ソース形成領域
- 8 7 ドレイン・画素電極形成領域
- 2 0 1 T F T アレイ基板
- 2 0 2 突出電極
- 2 1 1 T F T アレイ基板
- 2 1 2 突出電極

【書類名】 図面

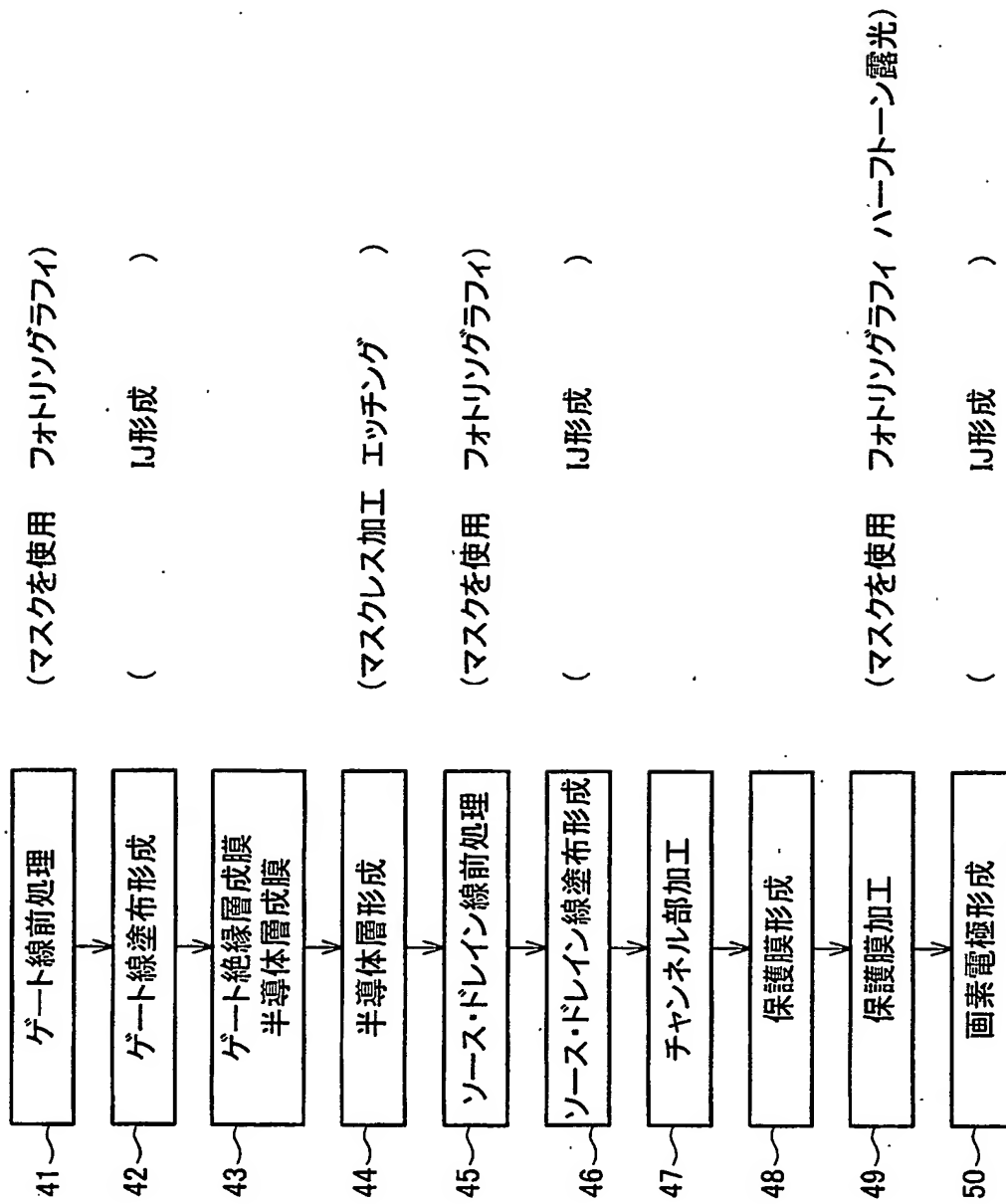
【図 1】



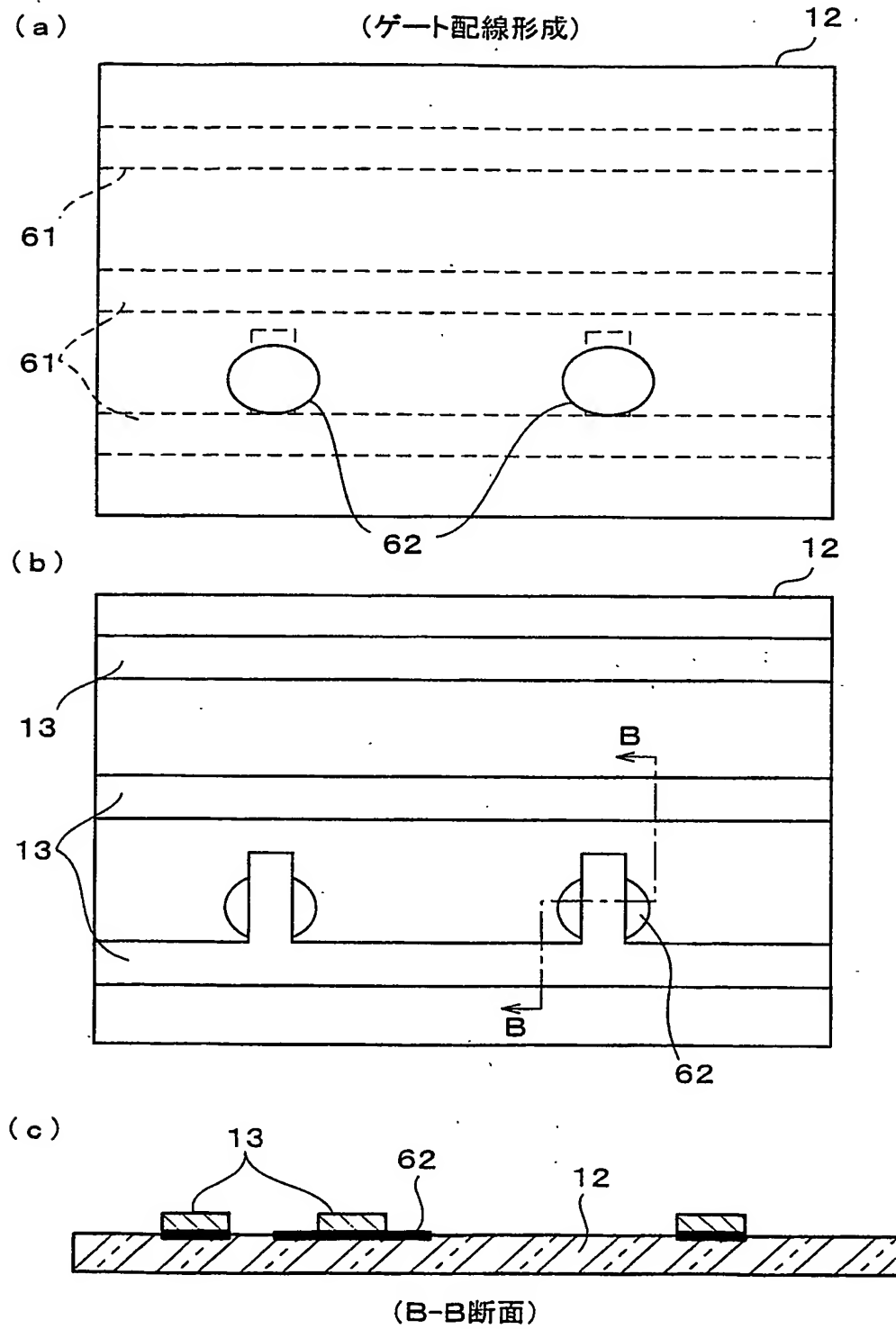
【図 2】



【図 3】



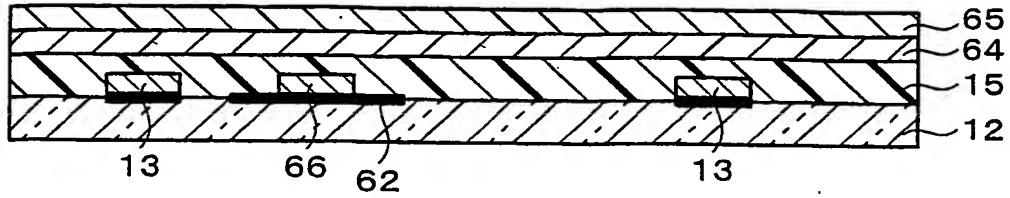
【図4】



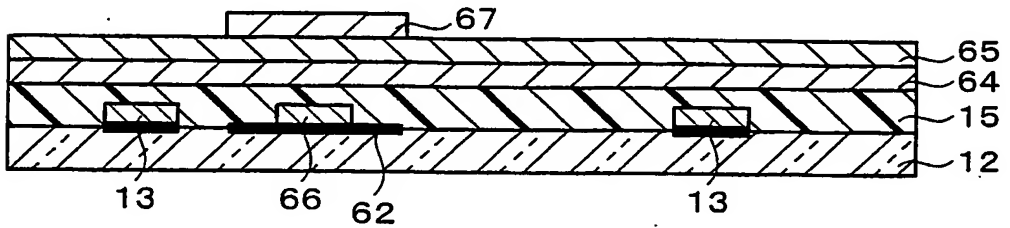
【図5】

(a)

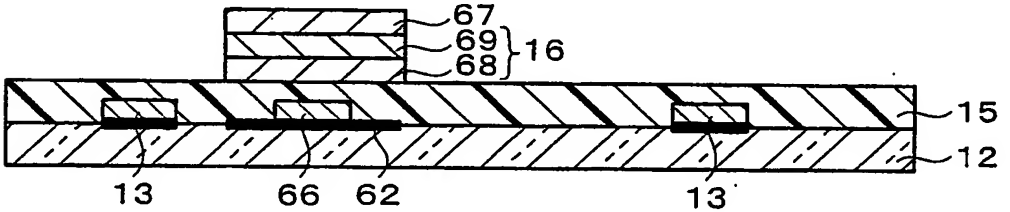
(半導体形成)



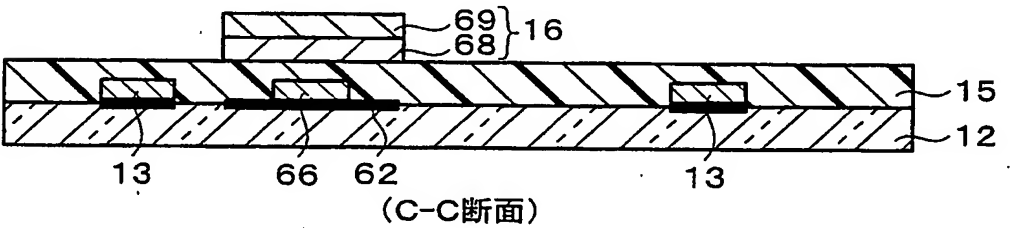
(b)



(c)

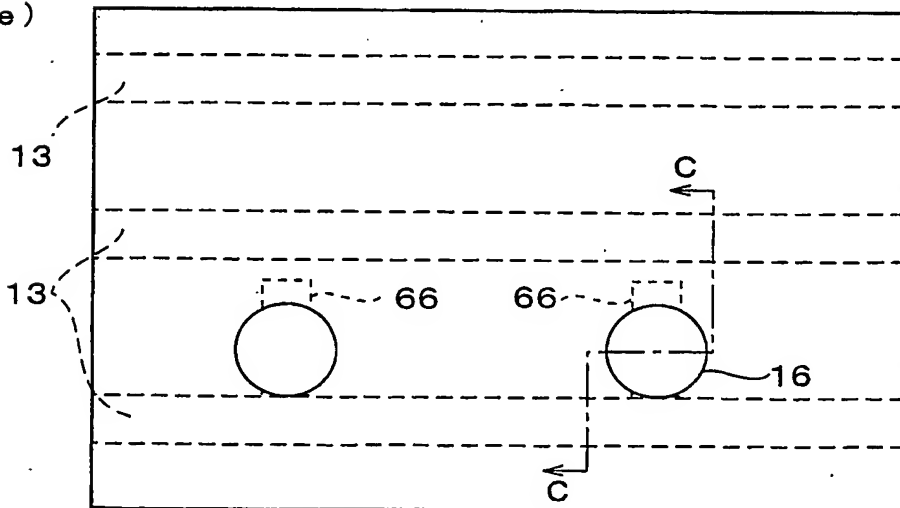


(d)

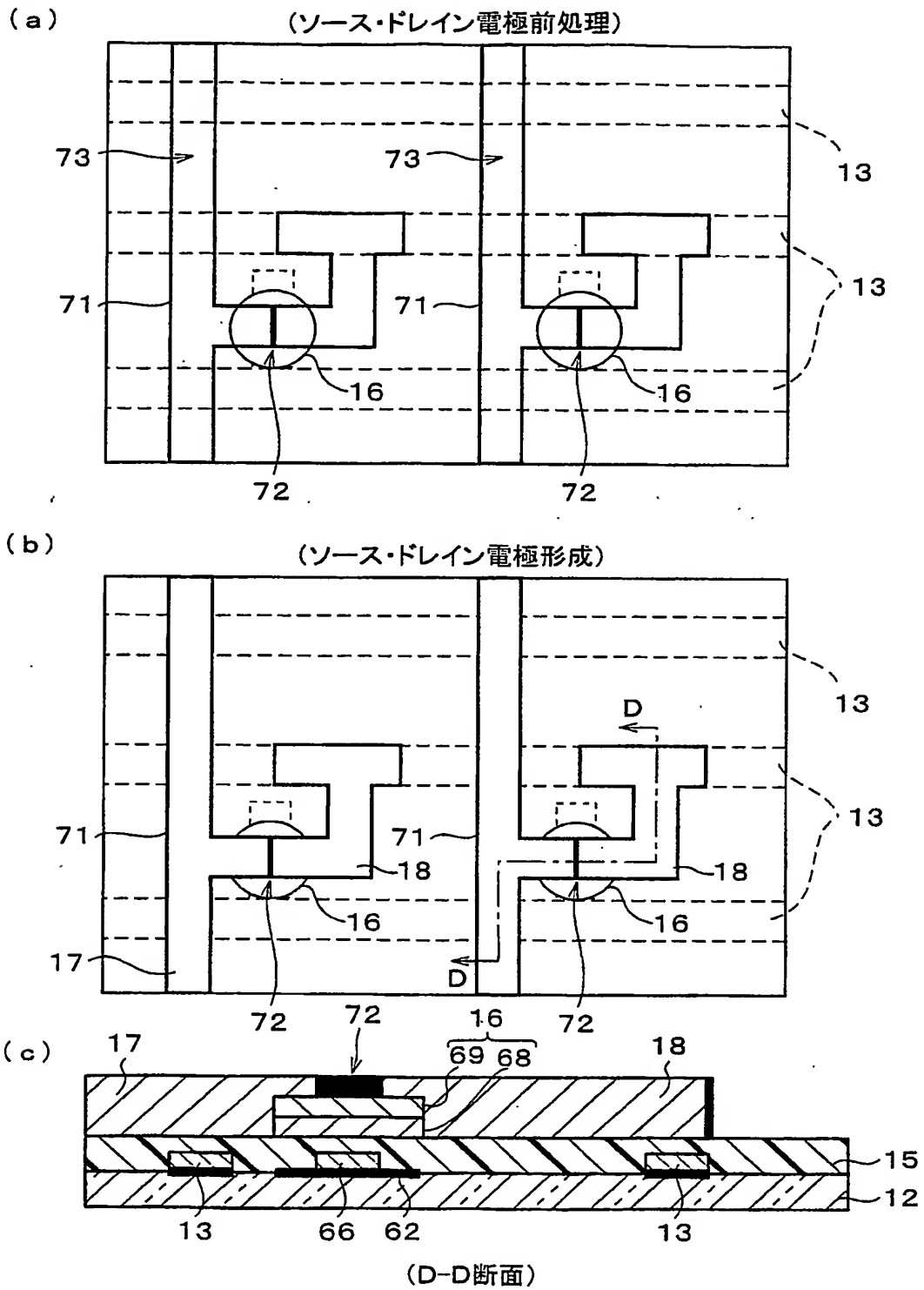


(C-C断面)

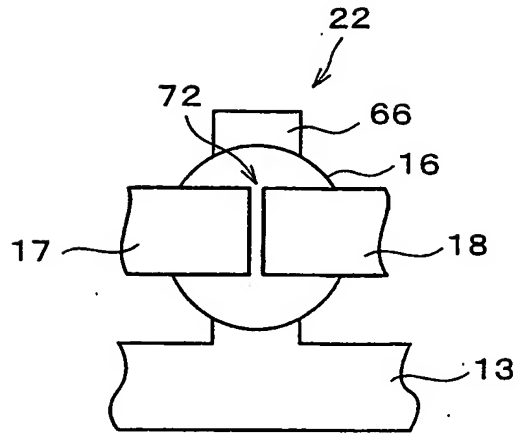
(e)



【図6】

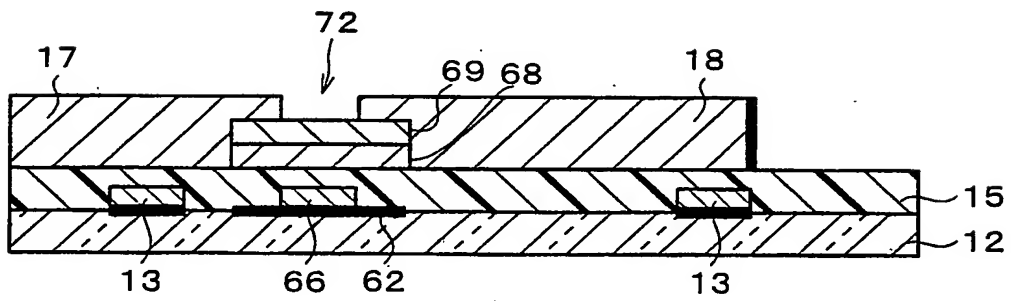


【図 7】

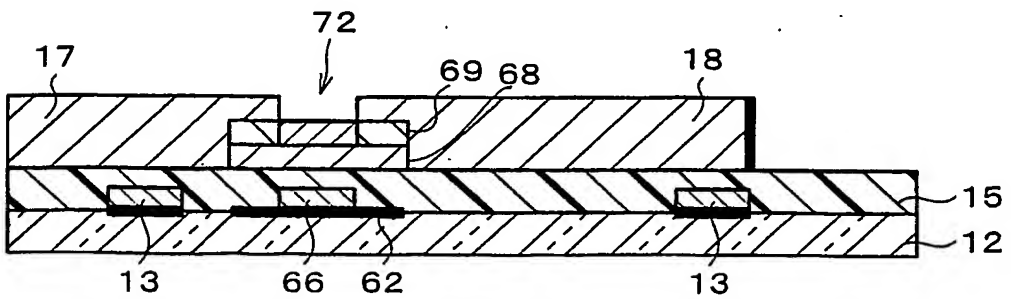


【図 8】

(a)

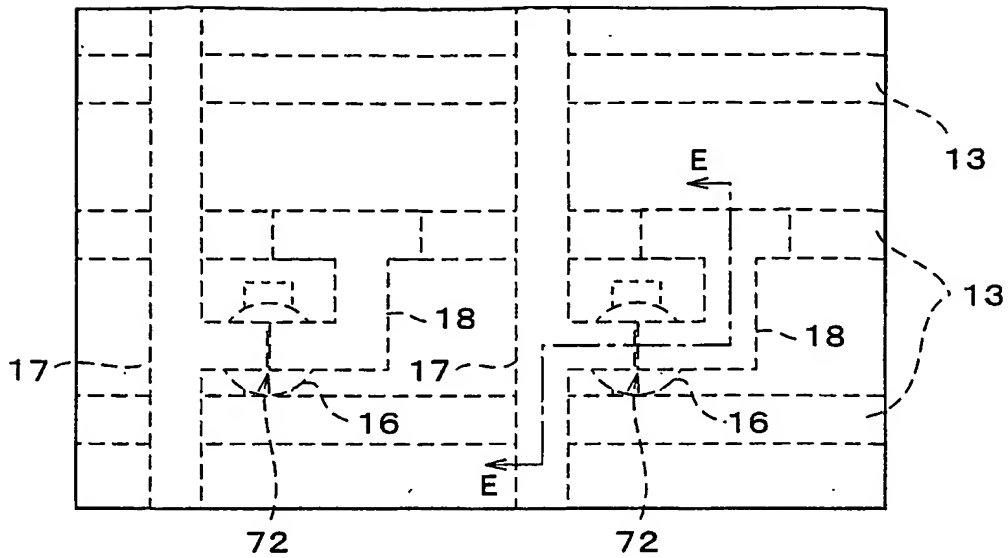


(b)

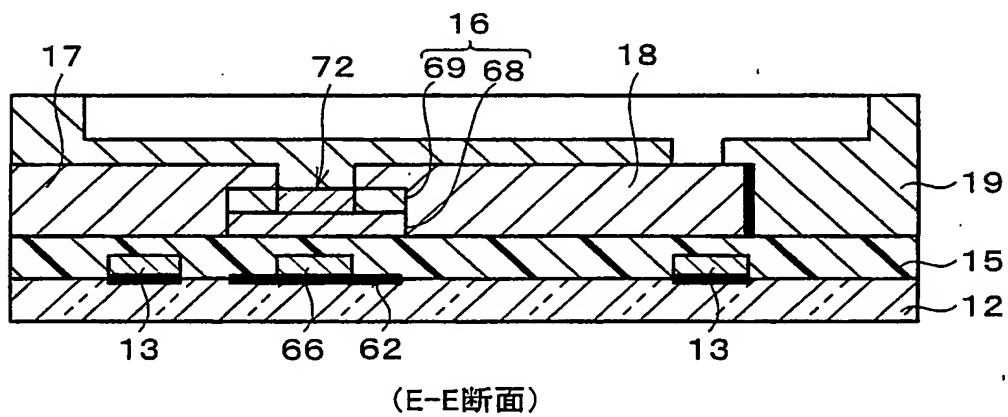


【図9】

(a) (保護膜形成、保護膜加工)



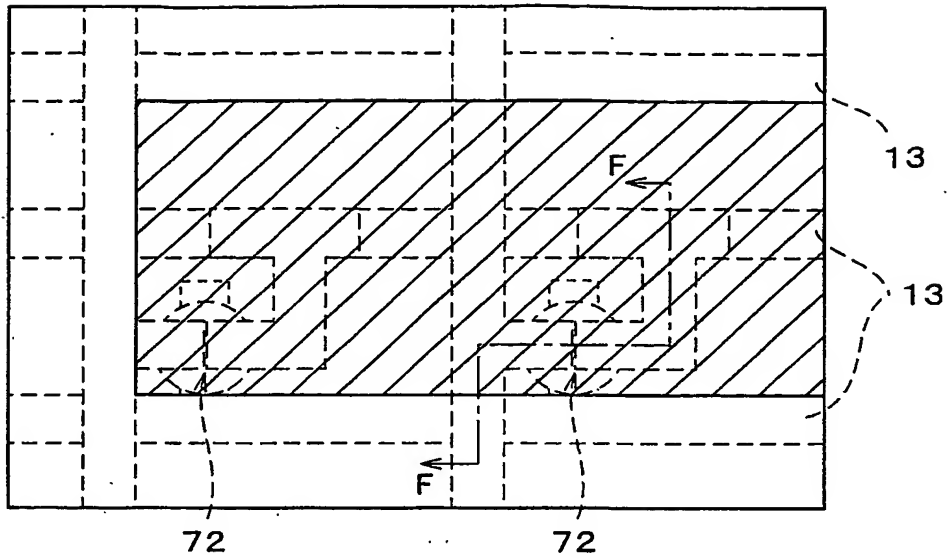
(b)



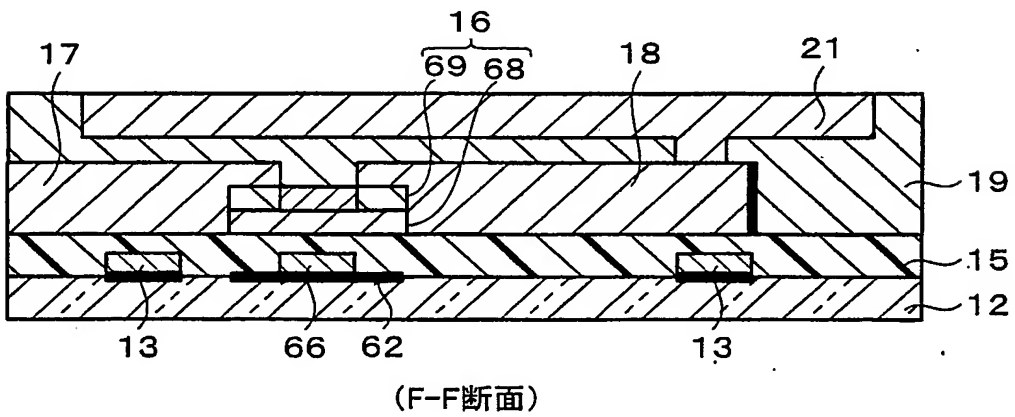
【図10】

(a)

(画素電極形成)

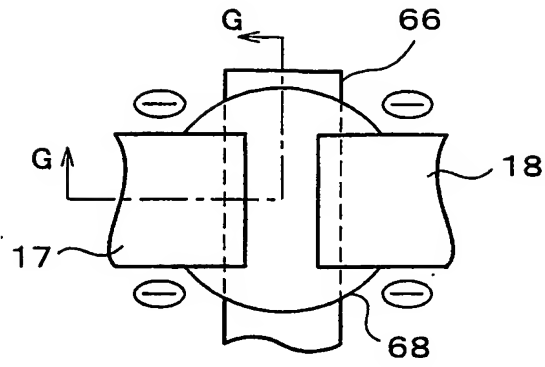


(b)

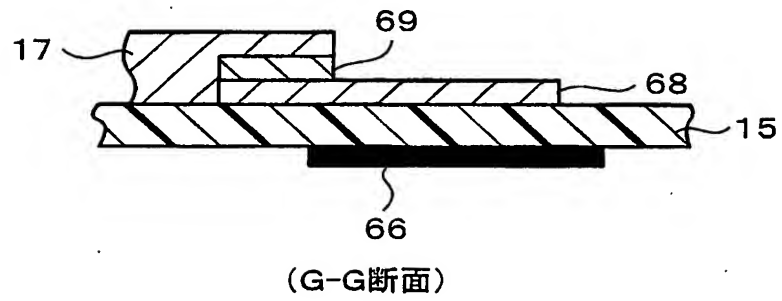


【図 1 1】

(a)

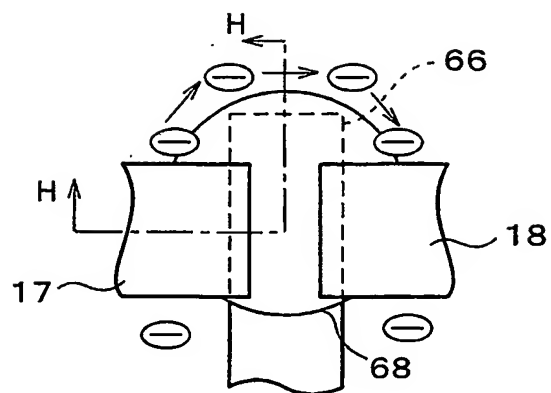


(b)

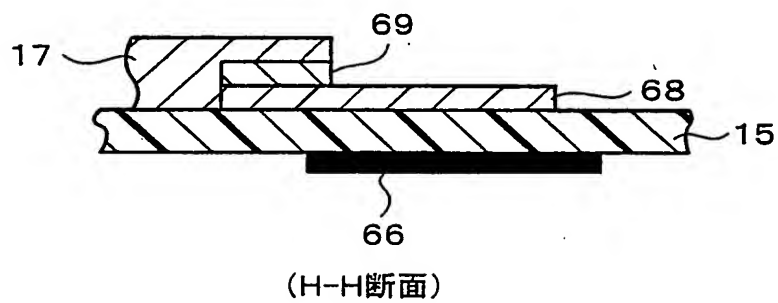


【図 1 2】

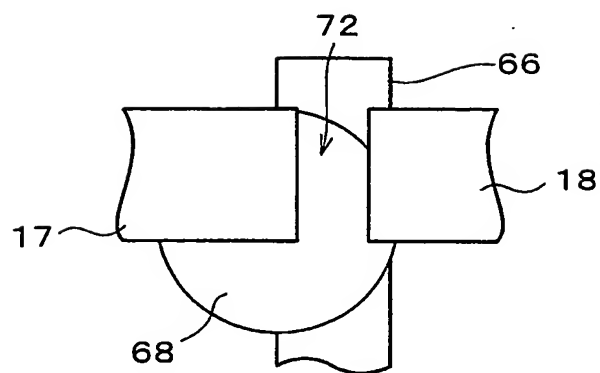
(a)



(b)

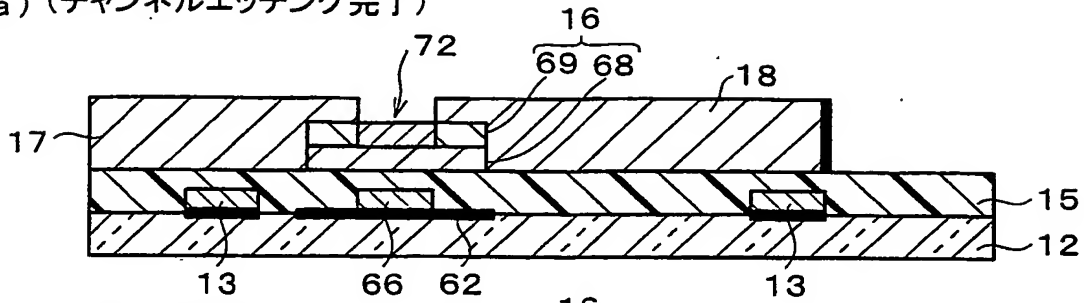


【図 1 3】

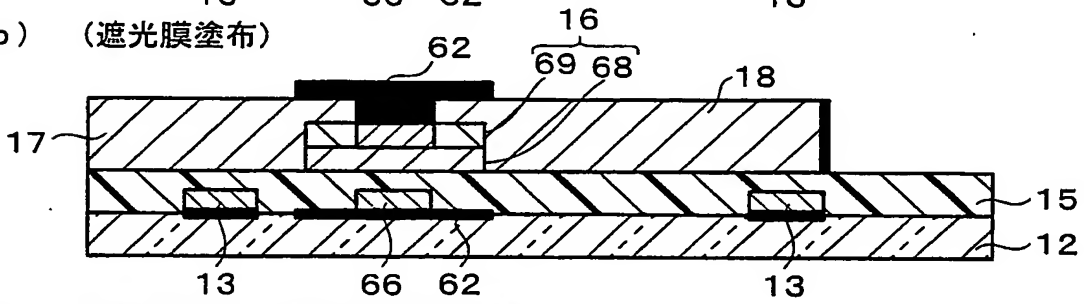


【図14】

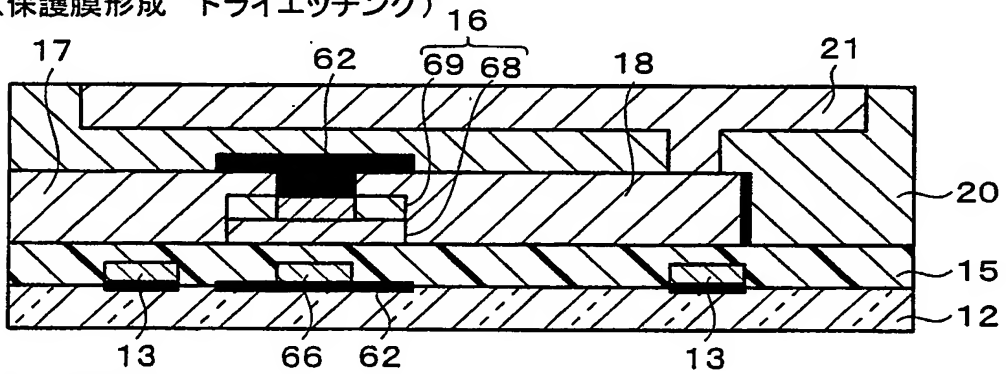
(a) (チャンネルエッチング完了)



(b) (遮光膜塗布)

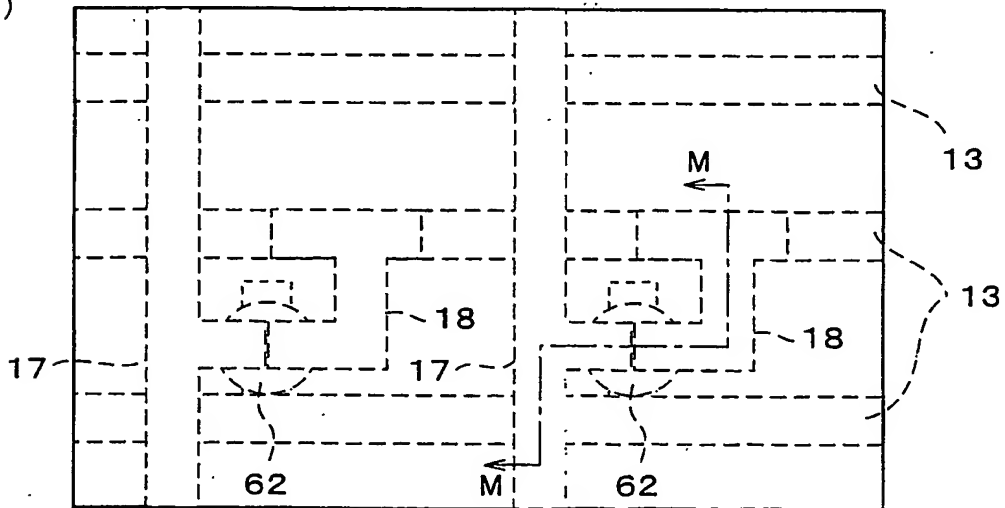


(c) (保護膜形成 ドライエッチング)

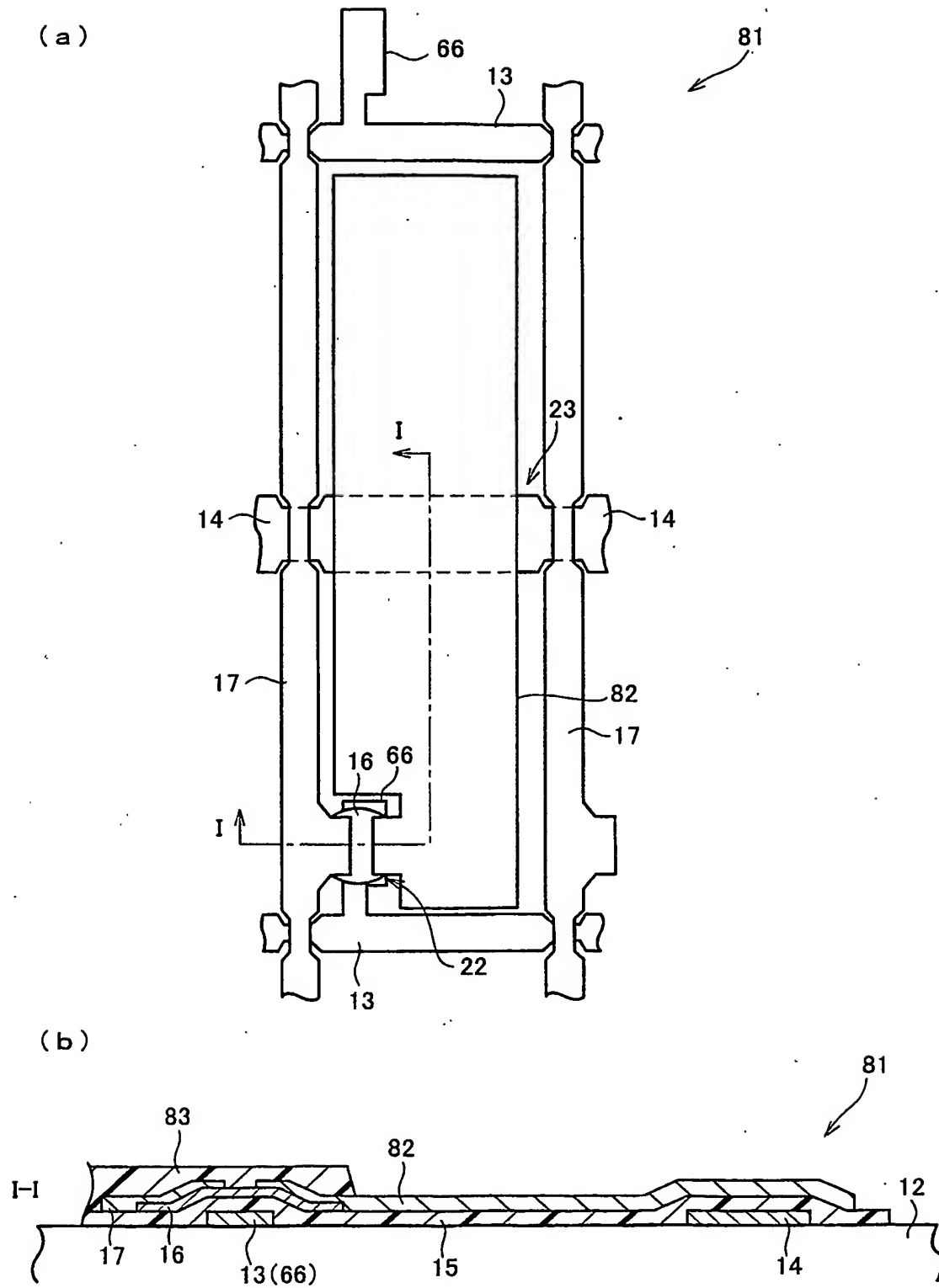


(M-M断面)

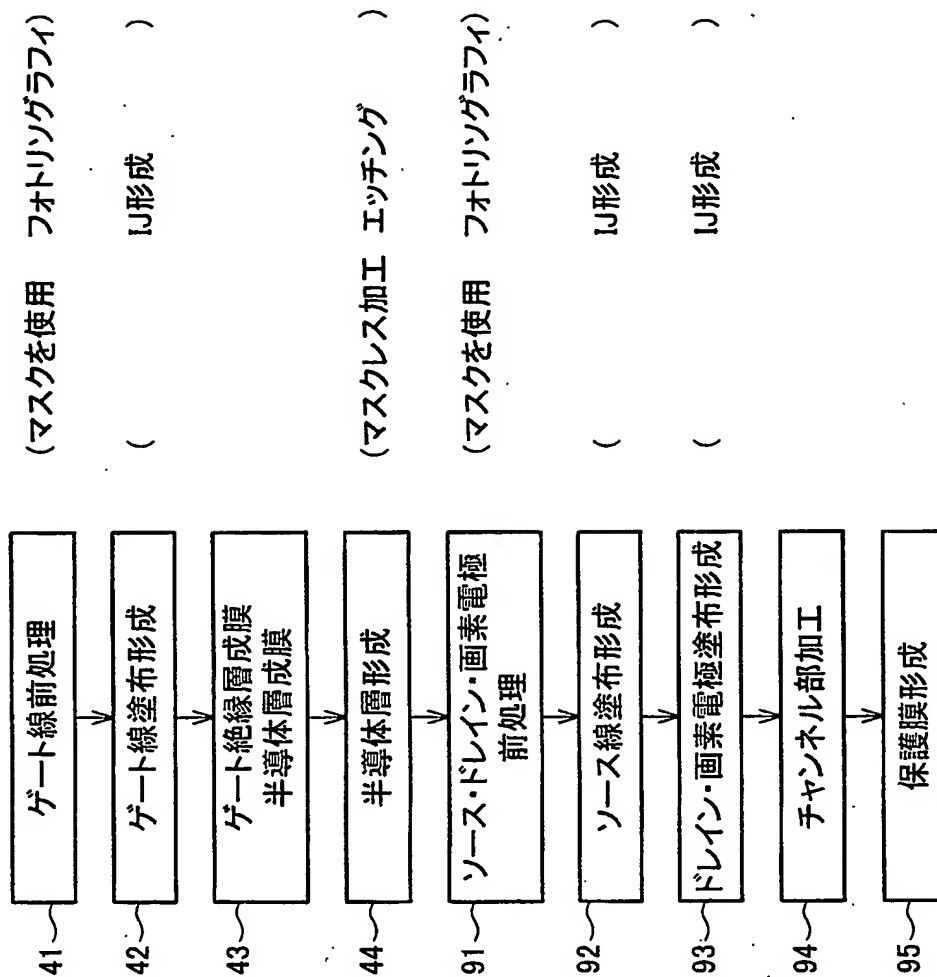
(d)



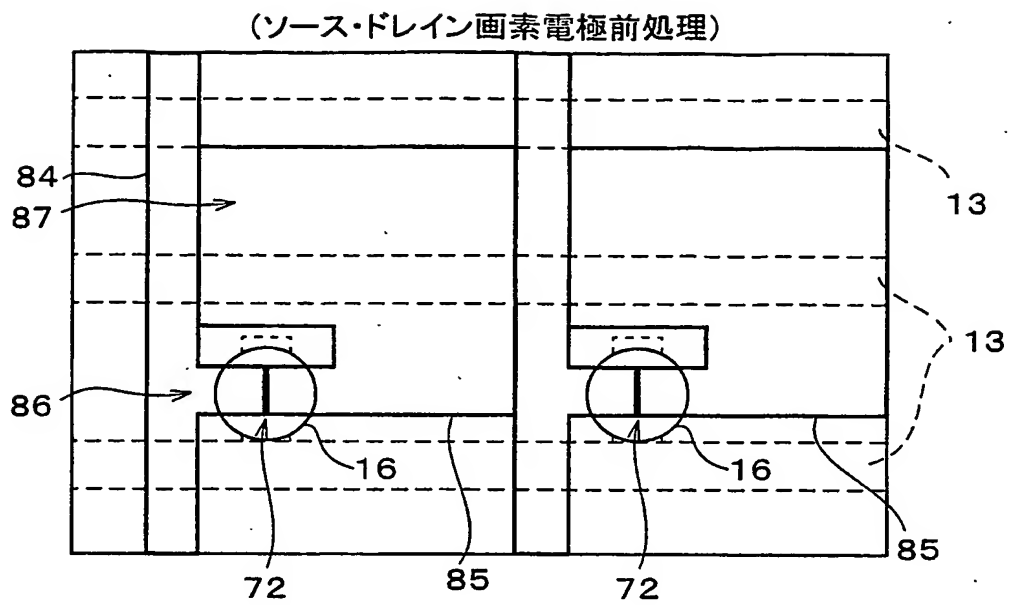
【図 15】



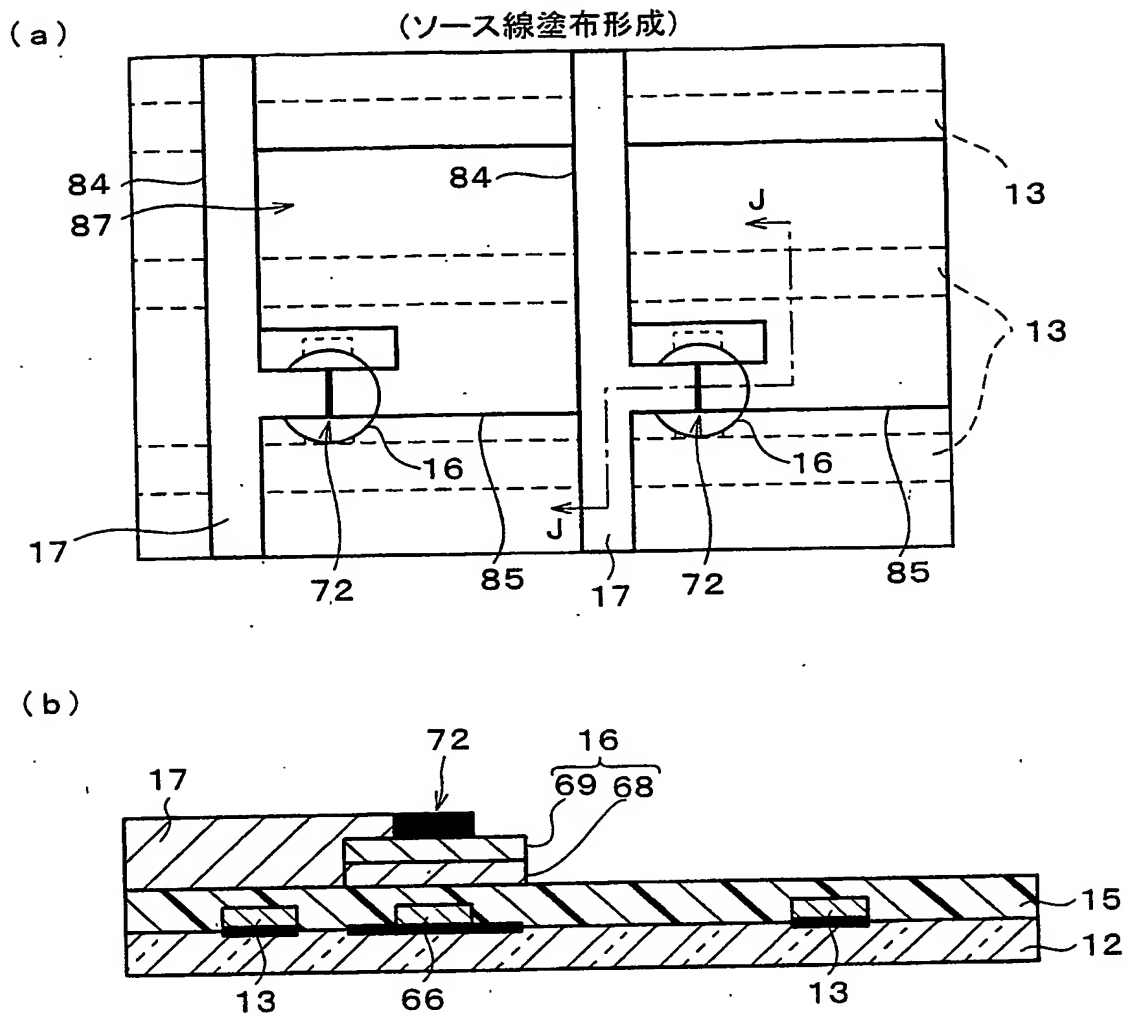
【図 1 6】



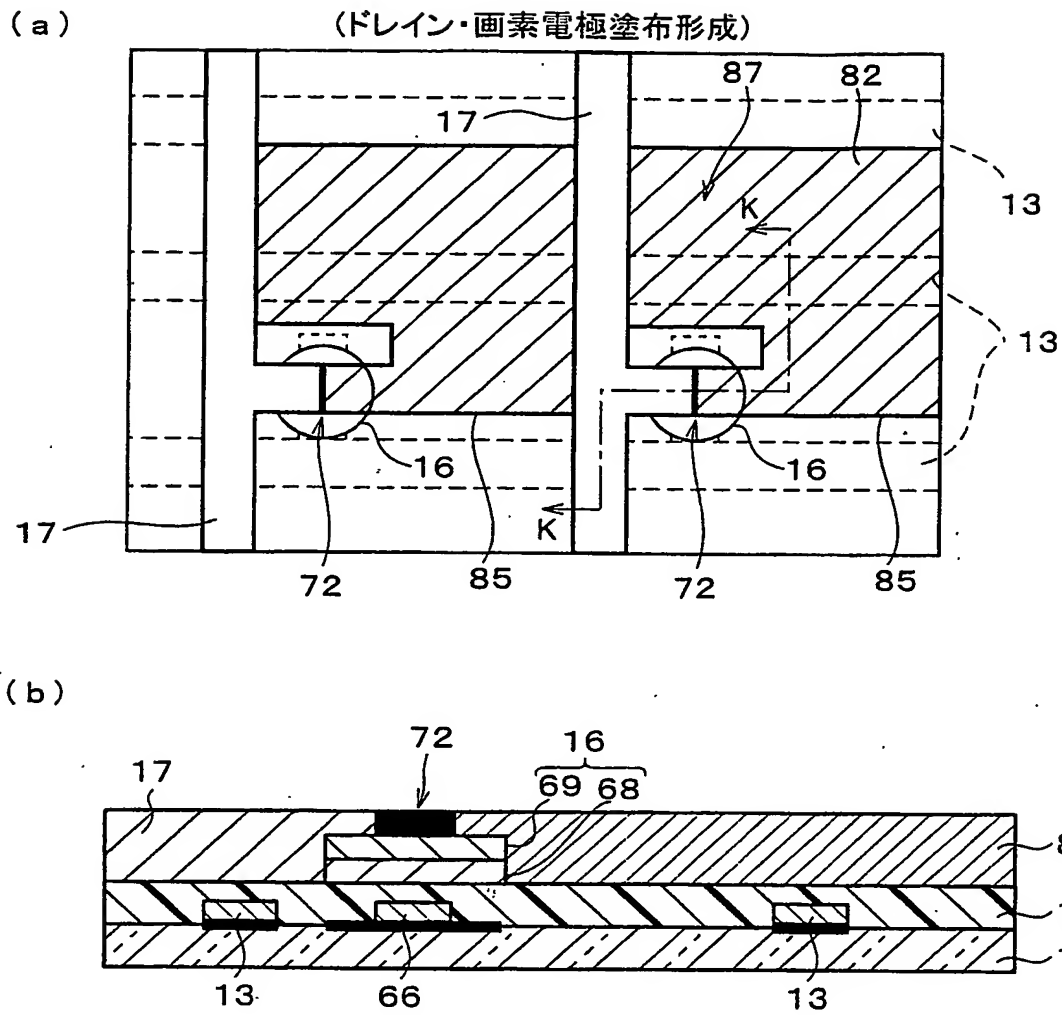
【図 1 7】



【図 1 8】

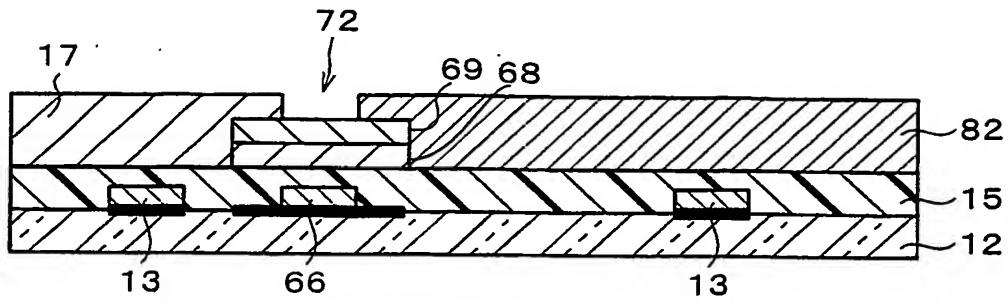


【図 1 9】

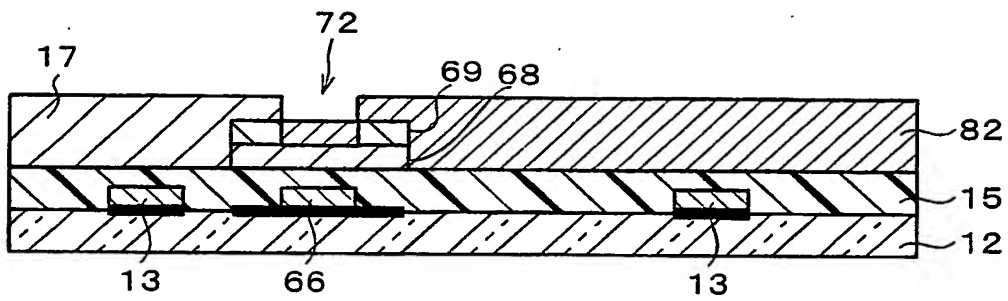


【図 20】

(a) (チャンネル加工)

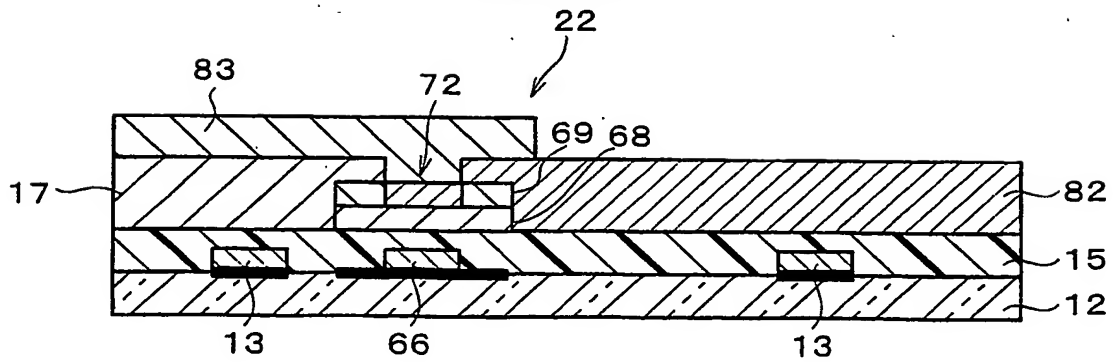


(b)



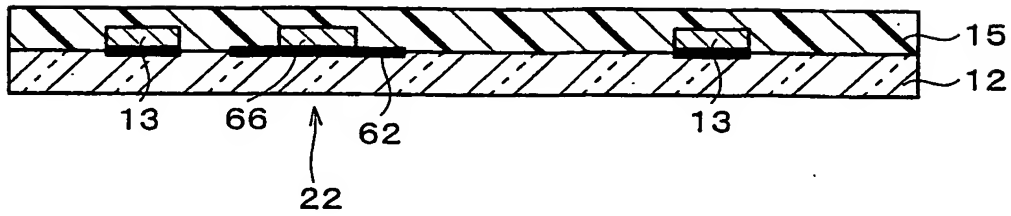
【図 21】

(保護膜形成)

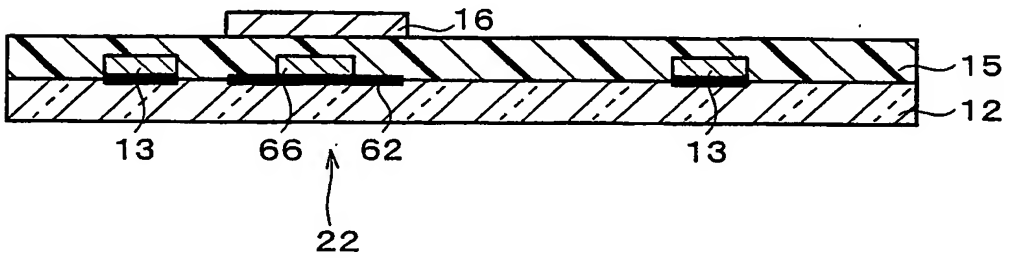


【図 2 2】

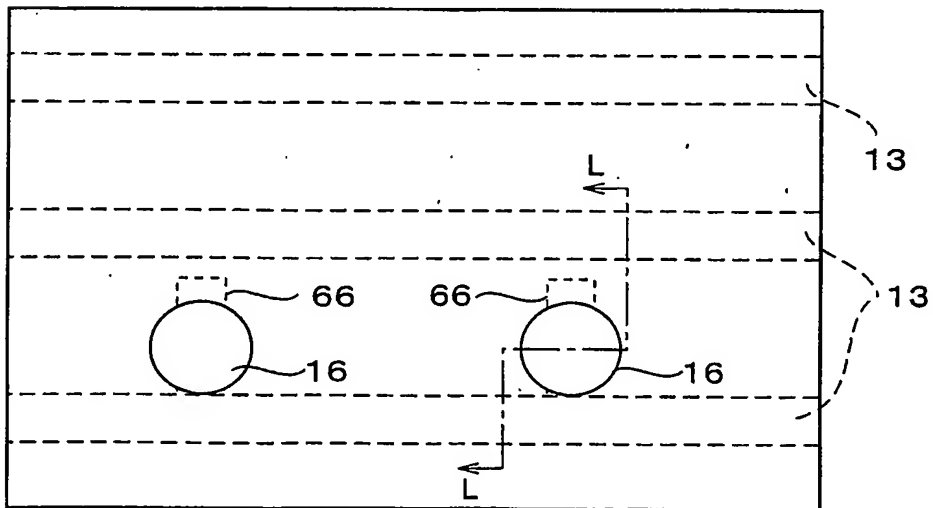
(a) (半導体層形成(直接形成))



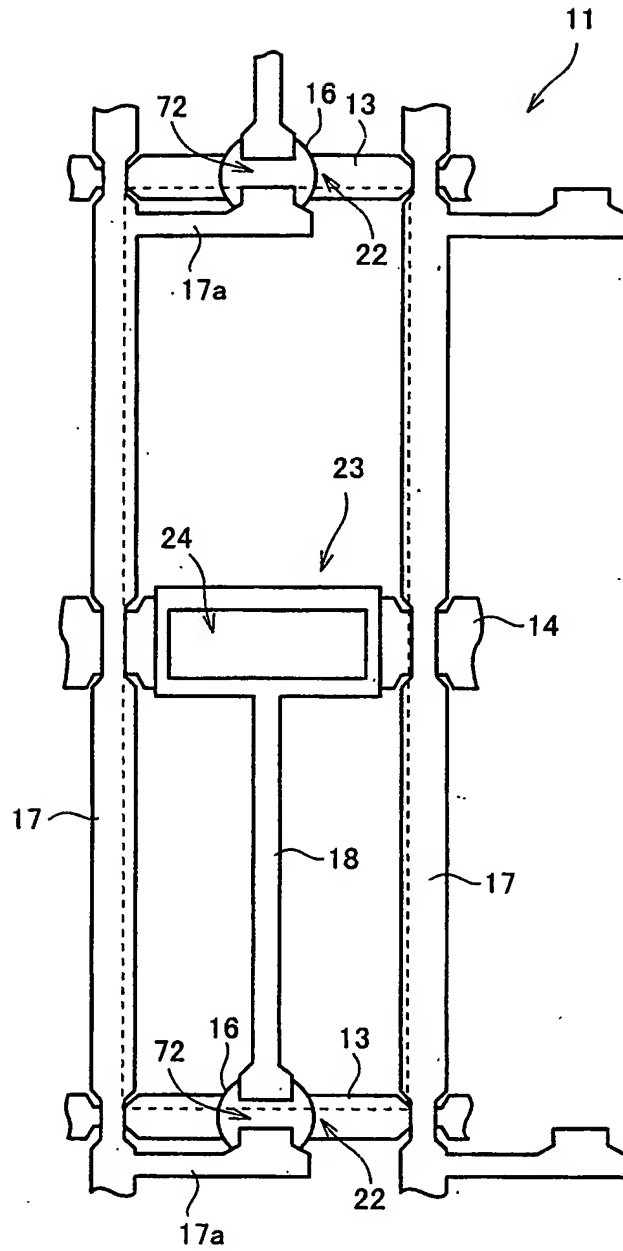
(b)



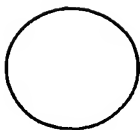
(c)



【図 2 3】

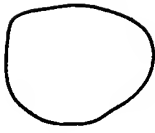


【図 2 4】



【図 2 5】

(a)



(b)

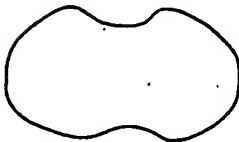
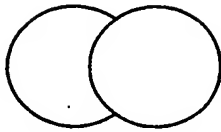


(c)

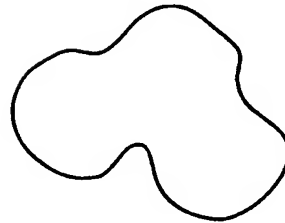
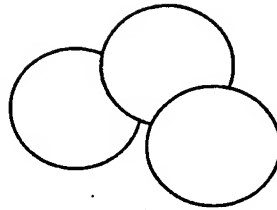


【図 2 6】

(a)

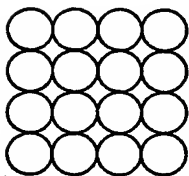


(a)

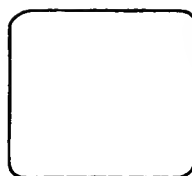


【図 2 7】

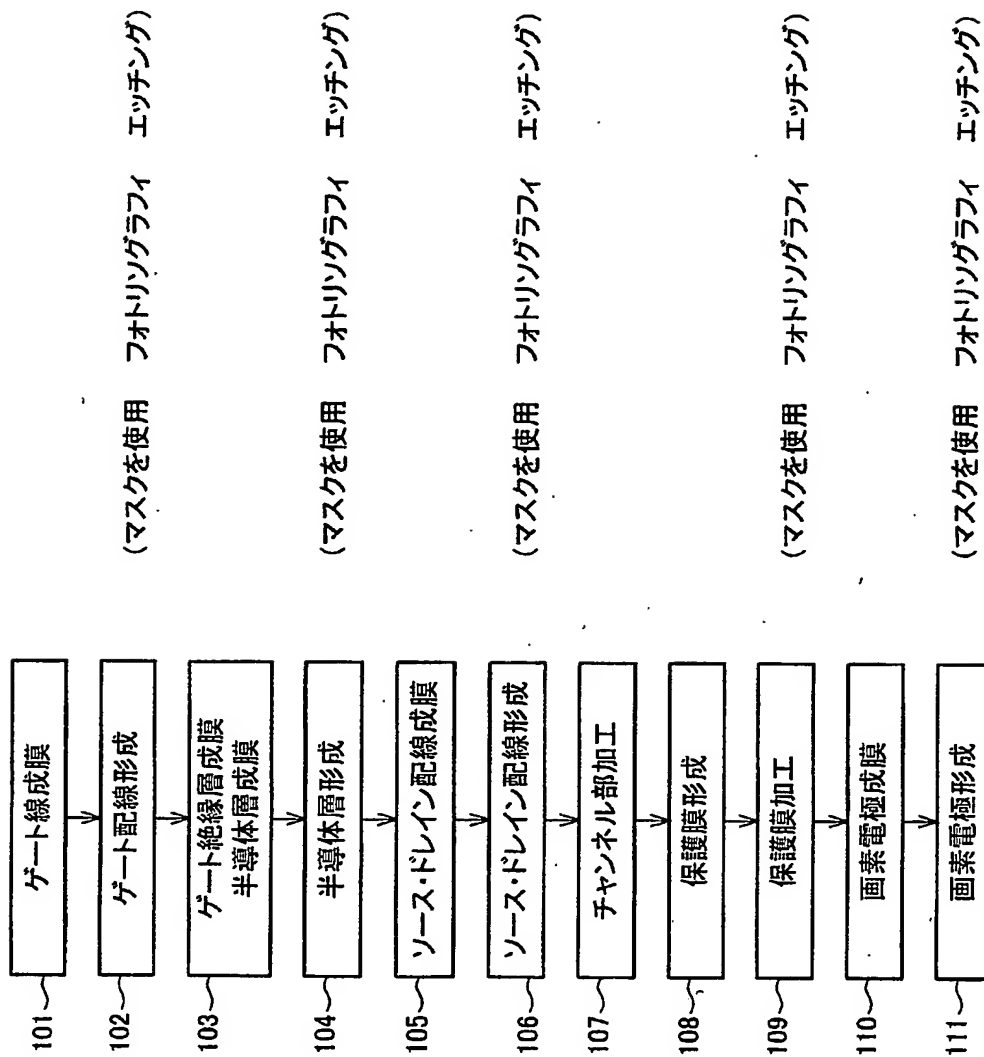
(a)



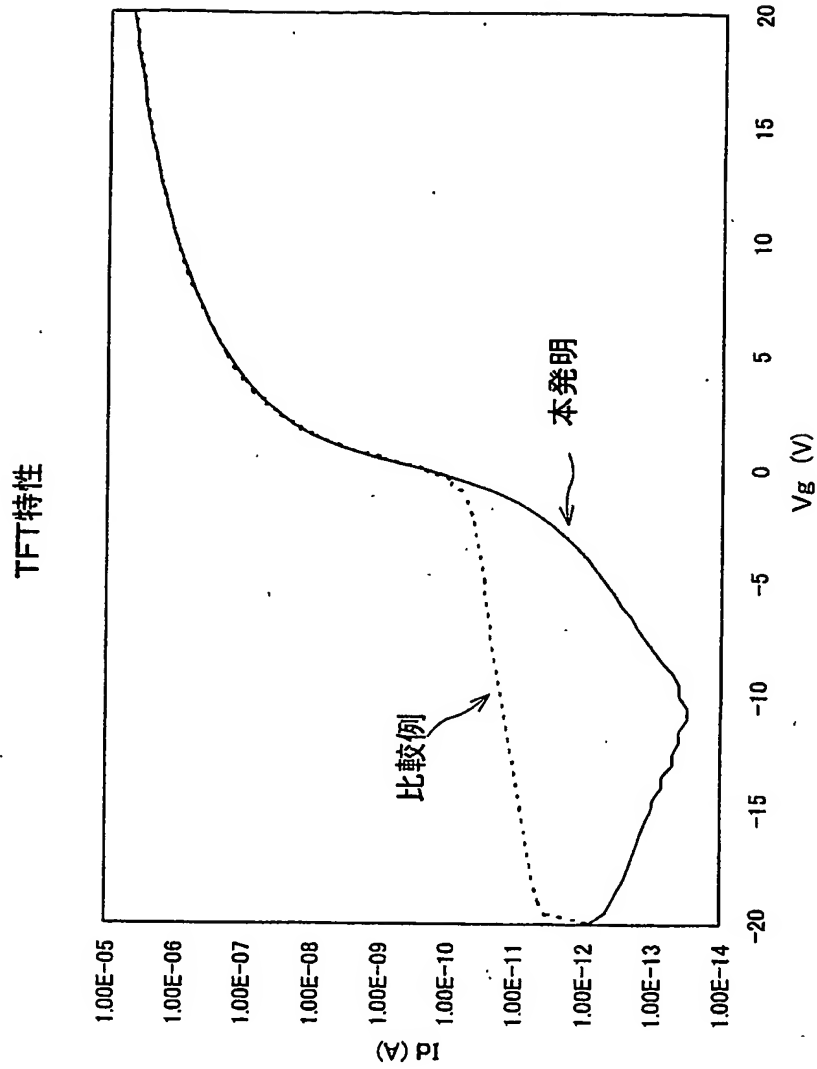
(b)



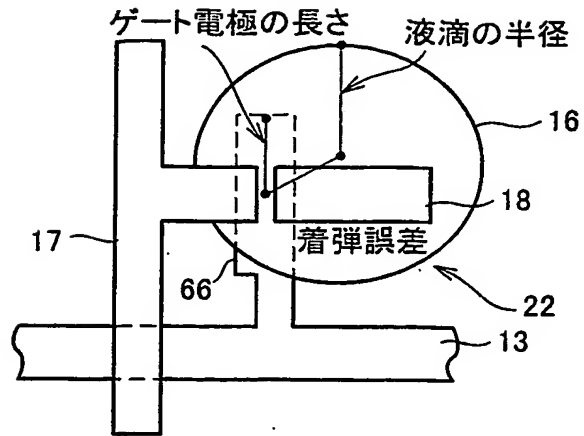
【図 2 8】



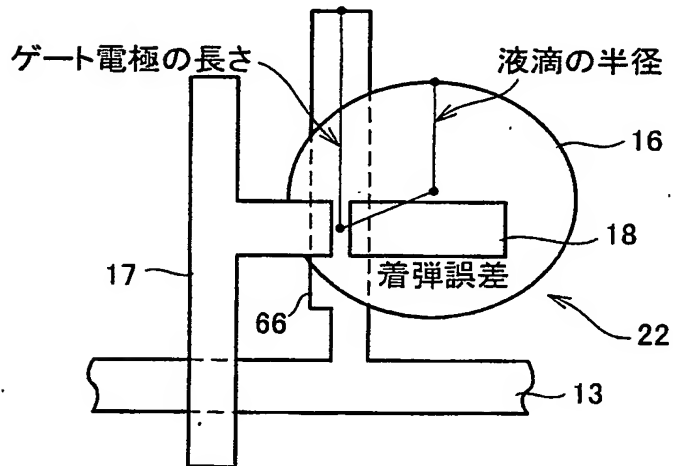
【図 29】



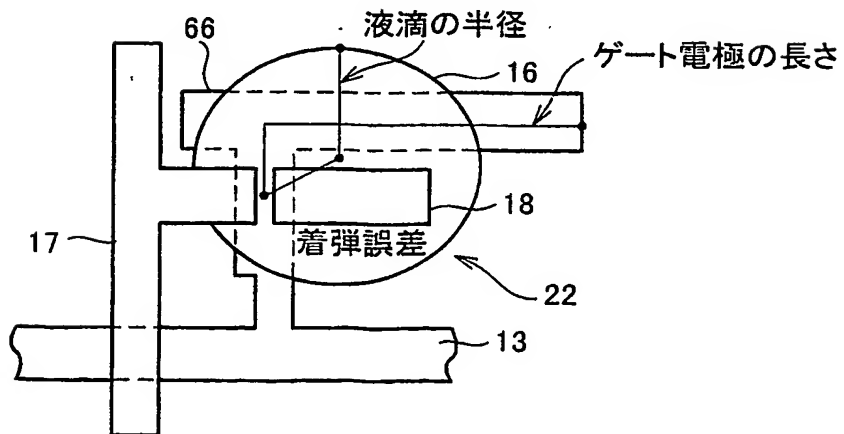
【図 3 0】



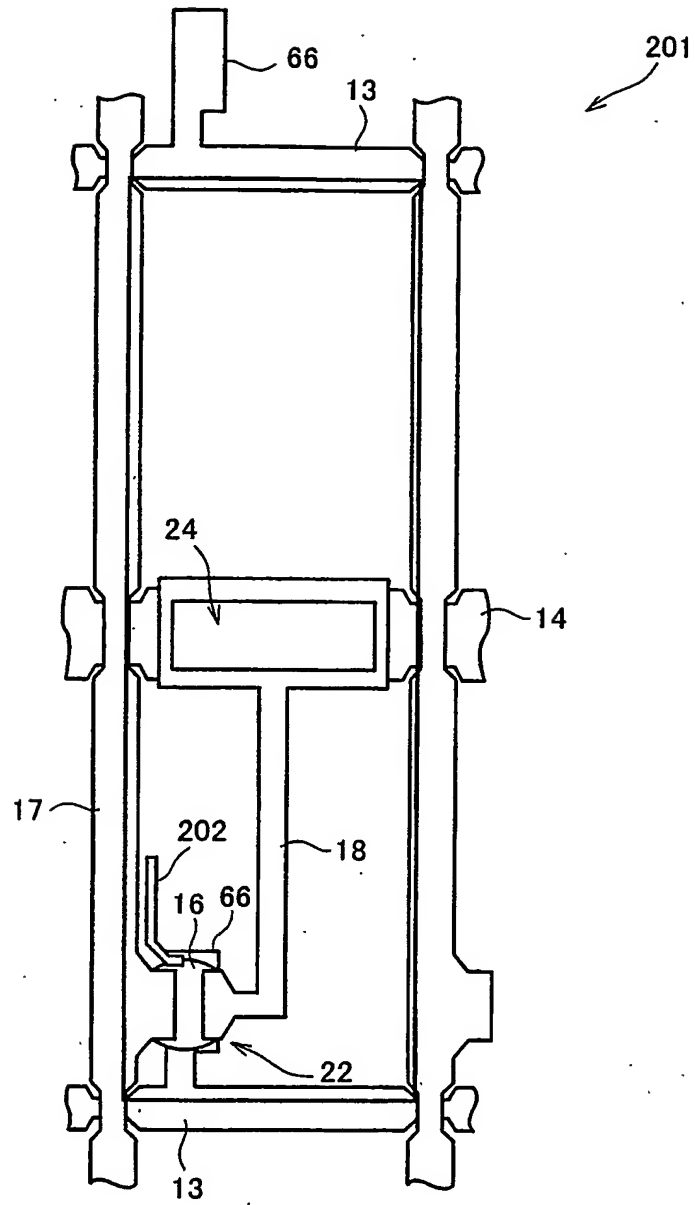
【図 3 1】



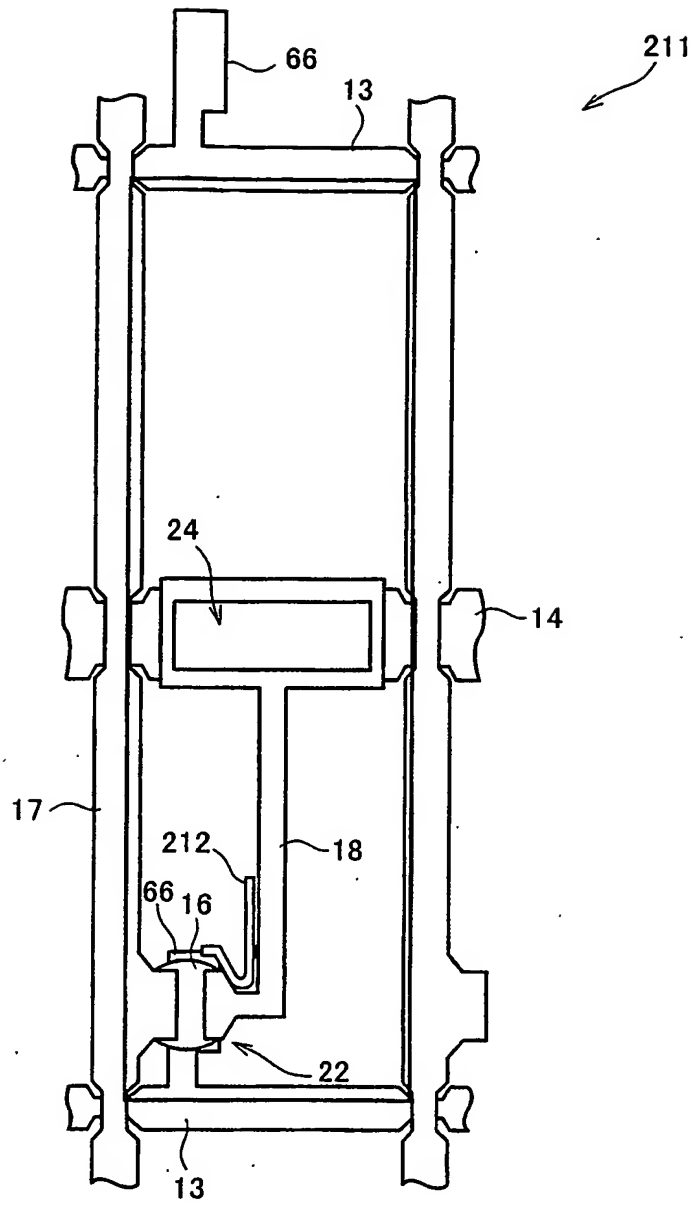
【図 3 2】



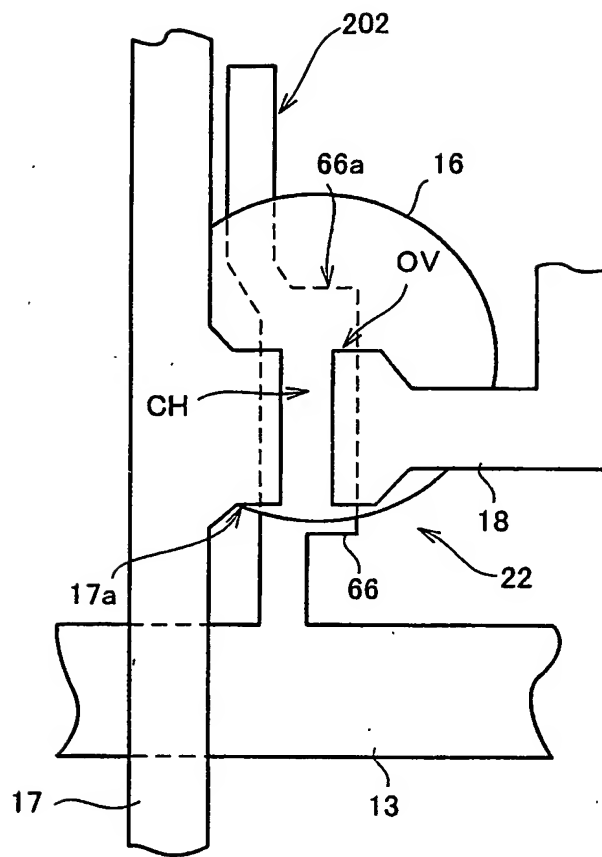
【図 3 3】



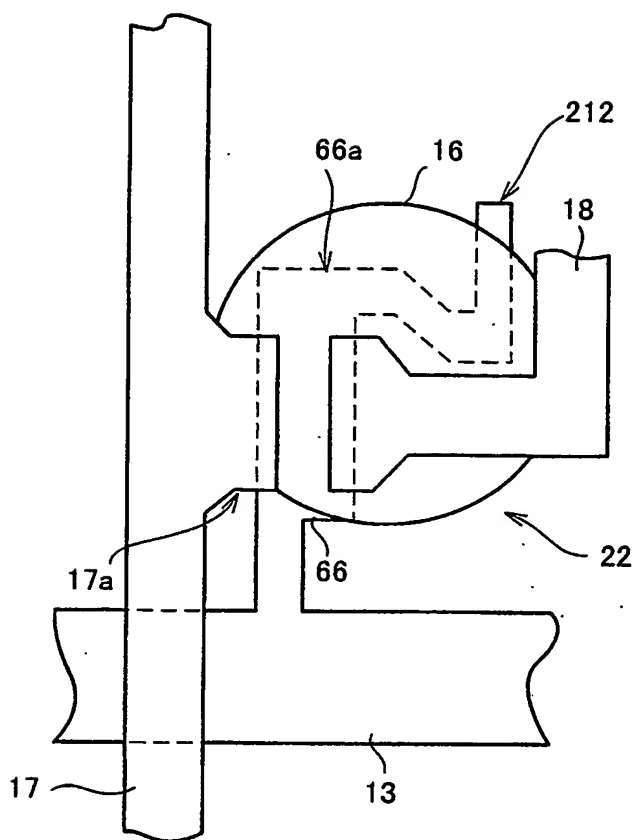
【図 3 4】



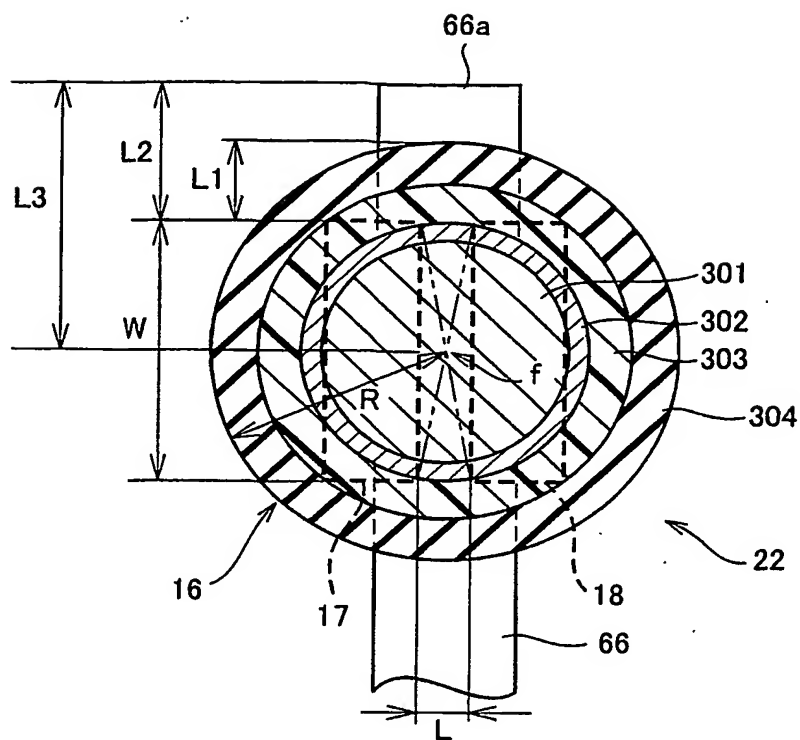
【図 3 5】



【図 3 6】

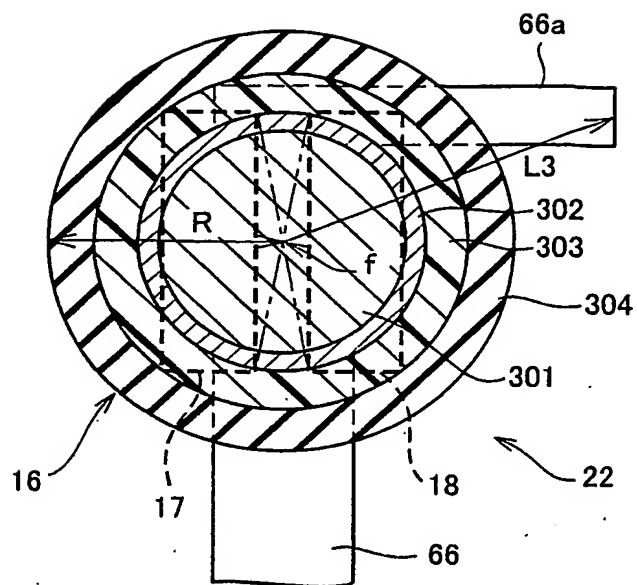


【図 3 7】



$$\begin{aligned} L1 &> \Delta 1 + \Delta 2 \\ L2 &> \Delta 1 + 2\Delta 2 \\ L3 &> r + \Delta 1 + 2\Delta 2 \end{aligned}$$

【図 3 8】



【書類名】 要約書

【要約】

【課題】 例えばインクジェット方式を利用し、製造工数の低減およびコストダウンを可能とする。

【解決手段】 T F T アレイ基板 1 1 は、ガラス基板 1 2 上にゲート電極 1 3 が形成され、このゲート電極 1 3 の本線から分岐した T F T 部ゲート電極 6 6 の上に、ゲート絶縁層 1 5 を介して半導体層 1 6 が形成された T F T 部 2 2 を備えている。この T F T アレイ基板 1 1 において、半導体層 1 6 は液滴の滴下形状をなしている。したがって、液滴の滴下により半導体層を直接形成可能、あるいは液滴の滴下により半導体層を形成するためのレジスト層を直接形成可能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社